

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-289320
(43)Date of publication of application : 19.10.1999

(51)Int.Cl.

H04L 7/00
G11B 20/10
G11B 20/10
H04L 12/56
// H04L 12/40

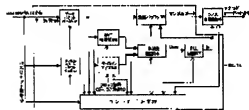
(21)Application number : 10-108768 (71)Applicant PIONEER ELECTRON CORP
(22)Date of filing : 03.04.1998 (72)Inventor : ONO KINYA
MINOJIMA KUNIHIRO
USUHA HIDEMI
MURAKOSHI TAKA
MATSUMARU MAKOTO
HASEBE SEIICHI

(54) RECEPTION INTERFACE DEVICE FOR TRANSMISSION SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a reception interface device which is able to return to the state capable of reproducing and outputting transmission data immediately with an appropriate timing.

SOLUTION: This device is equipped with a cycle timer 33 for counting a reference time of its own device on the basis of a reference time on a transmission bus, a reproduction specified time data extraction means 32 which extracts reproduction specified time data in a data group among received signals and stores them in a buffer, a reception buffer 35 which successively fetches each data and successively reads them out, in accordance with a reproduction clock in an order in which they are stored, a coincidence detection means 34 for generating a reference clock pulse, when the reference time of its own device coincides with the reproduction specified time, and a PLL circuit 37 which generates a clock signal phase synchronized with the reference clock pulse and makes it a reproduction clock. When the reference time



on the transmission bus changes, each data accumulated in each buffer are all deleted.

Title: JP11-289320 A2: RECEPTION INTERFACE DEVICE FOR TRANSMISSION SYSTEM

Derwent Serial high speed data forwarding interface for audio apparatus, video apparatus, computer - deletes entire data stored in buffer of extraction unit and receiving buffer, when usual data transmission time changes
Title: [Derwent Record]

Country: JP Japan

Kind: A2 Document Laid open to Public inspection ' (See also: JP03228708B2)

Inventor: ONO KINYA;
MINOJIMA KUNIHIO;
USUHA HIDEMI;
MURAKOSHI TAKA;
MATSUMARU MAKOTO;
HASEBE SEIICHI;



[View](#)

[Image](#)

1 page

Family:

PDF	Publication	Pub. Date	Filed	Title
	US20030194037A1	2003-10-16	2003-04-10	Reception interface unit in transmission system
	US6928126	2005-08-09	2003-04-10	Reception interface unit in transmission system
	US6570945	2003-05-27	1999-04-02	Reception interface unit in transmission system
	JP11289320A2	1999-10-19	1998-04-03	RECEPTION INTERFACE DEVICE FOR TRANSMISSION SYSTEM
	JP03228708B2	2001-11-12	1998-04-03	
	CN1236247A	1999-11-24	1999-04-05	RECEPTION INTERFACE UNIT IN TRANSMISSION SYSTEM
	CN1154331C	2004-06-16	1999-04-05	Reception interface unit in sending system

7 family members shown above

(52) U.S. Cl. 375/372

(75) Inventors: **Kinya Ono, Saitama (JP); Kunihiro Minoshima, Saitama (JP); Hidemi Usuba, Saitama (JP); Sho Murakoshi, Saitama (JP); Makoto Matsumaru, Saitama (JP); Seiichi Hasebe, Saitama (JP)**

(57) **ABSTRACT**

A reception interface unit in a transmission system wherein time series data is divided into data groups and a data packet with reproduction specification time data specifying a time at which each data piece in the data groups should be reproduced, added to the data groups is transmitted on a transmission bus in a time division manner. The interface unit has a cycle timer for counting the reference time of the home device based on the reference time on the transmission bus, a unit for extracting the reproduction specification time data in the data groups from a signal received via the transmission bus and storing the reproduction specification time data in a buffer, a reception buffer for inputting and storing the data pieces in the data groups in order and reading out the data pieces in the storage order responsive to a reproduction clock, a match detector for generating a reference clock pulse if the reference time of the home device matches the reproduction specification time, and a PLL circuit being responsive to the reference clock pulse for generating a clock signal which is phase synchronized with the reference clock pulse as the reproduction clock. When the reference time on the transmission bus changes, the data stored in the buffer in the reproduction specification time data extraction unit and the data stored in the reception buffer are all deleted.

Correspondence Address:
SUGHRUE MION, PLLC
2100 Pennsylvania Avenue, NW
Washington, DC 20037-3213 (US)

(73) Assignee: **PIONEER CORPORATION**

(21) Appl. No.: 10/410,136

(22) Filed: Apr. 10, 2003

Related U.S. Application Data

(63) Continuation of application No. 09/283,759, filed on Apr. 2, 1999, now Pat. No. 6,570,945.

(30) Foreign Application Priority Data

Apr. 3, 1998 (JP)..... P. HEI. 10-108768

Publication Classification

(51) Int. Cl.⁷ H04L 25/40; H04L 25/00;
H04L 7/00

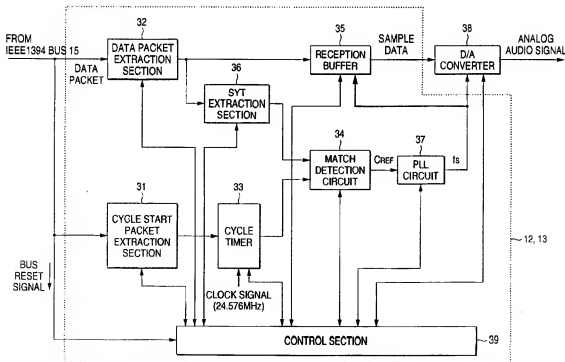


FIG. 1

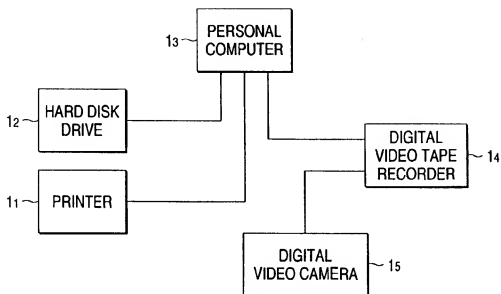


FIG. 2

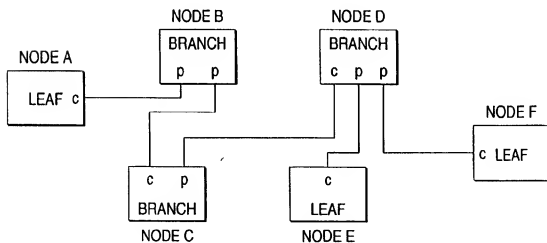


FIG. 3

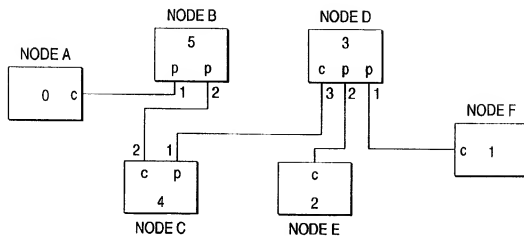


FIG. 4

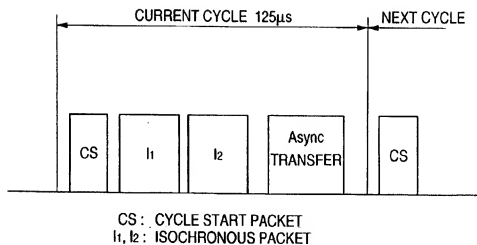


FIG. 5

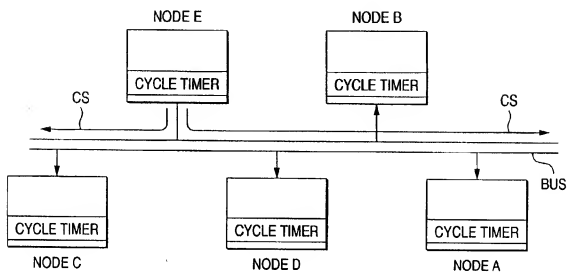


FIG. 6

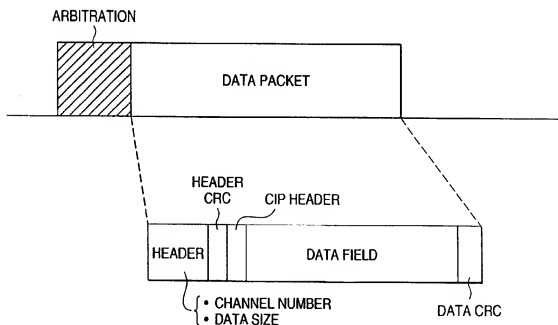


FIG. 7

O O	SID	DBS	FN	OPC		Rsv	DBC
I O	FMT	FDF	SYT				

SPH

FIG. 8

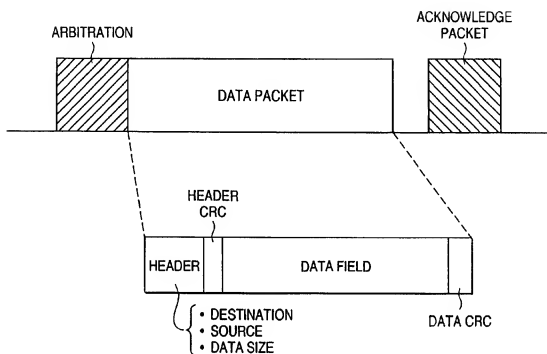


FIG. 9

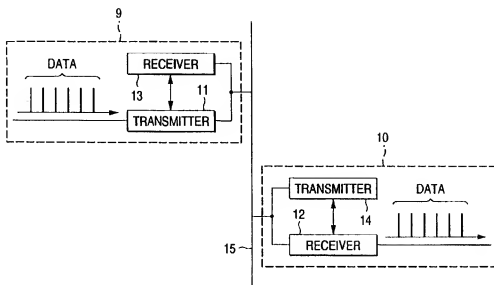


FIG. 10

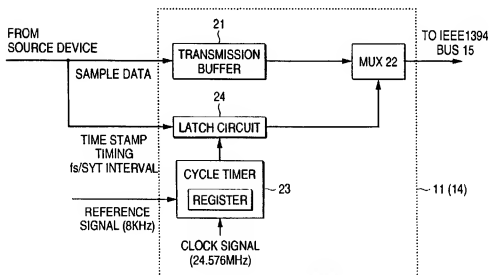


FIG. 11

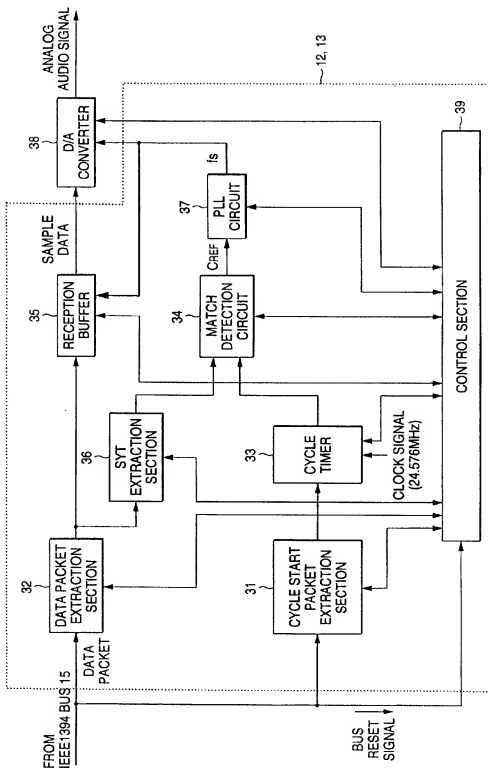


FIG. 12A

ISYST-INTERVAL

FIG. 12B

SAMPLE DATA STRING

FIG. 12C

DATA PACKET

FIG. 12D

REPRODUCTION
SAMPLE DATA STRING

FIG. 12E

CYCLE TIMER

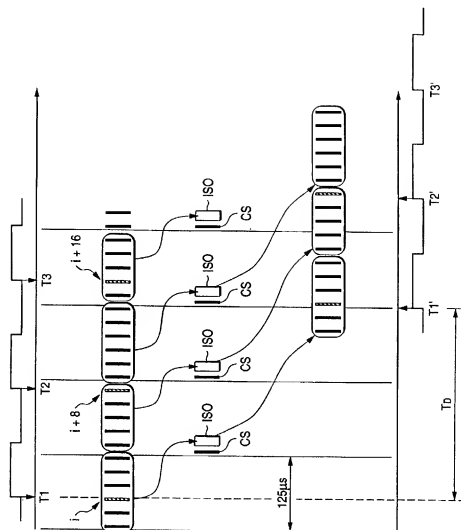


FIG. 13

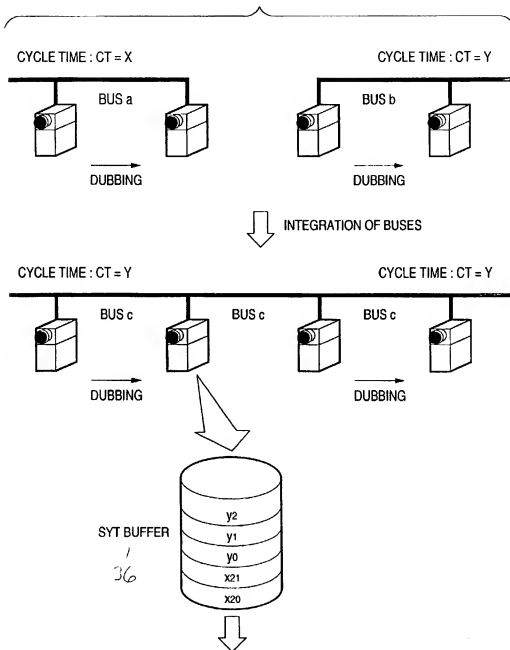


FIG. 14A

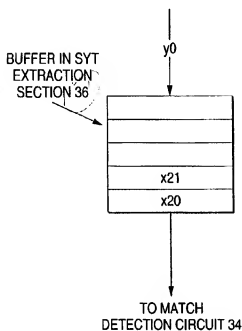


FIG. 14B

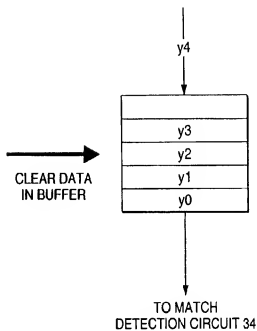


FIG. 15

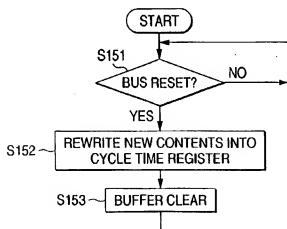
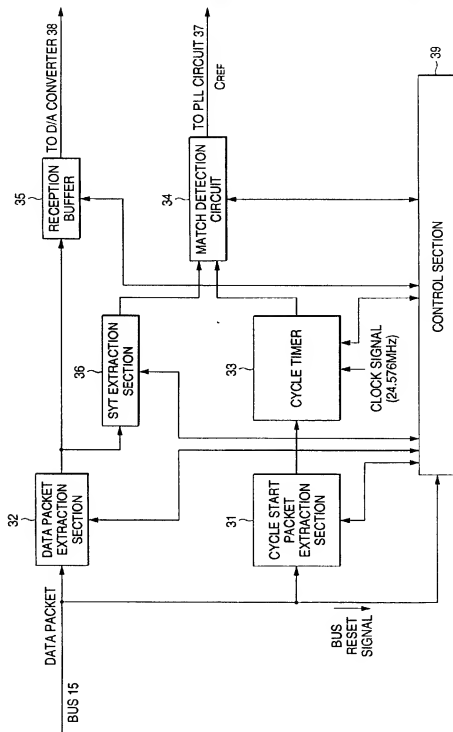


FIG. 16



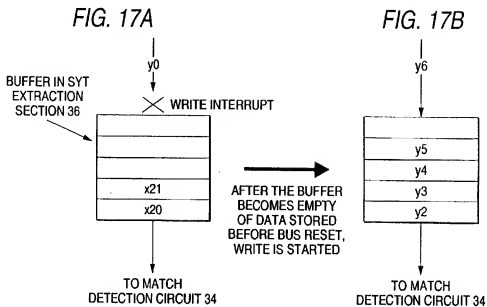


FIG. 18

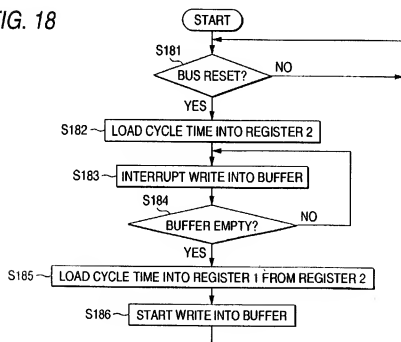


FIG. 19

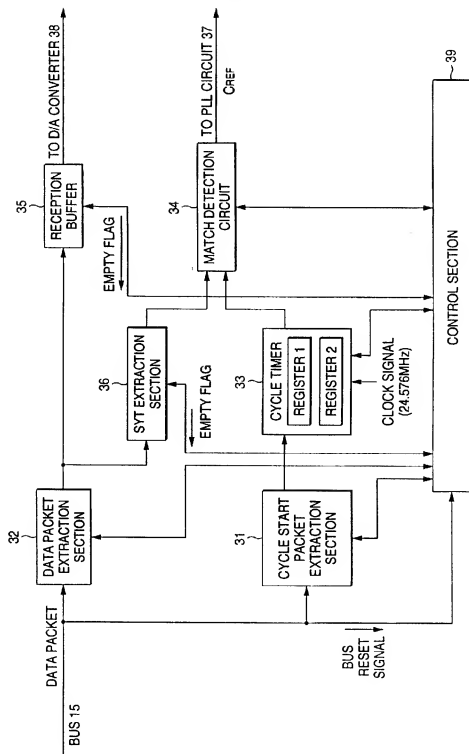


FIG. 20A

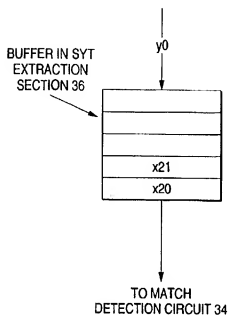


FIG. 20B

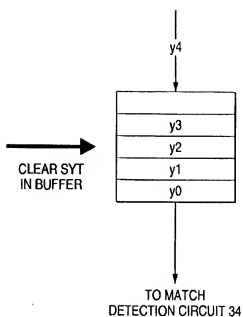


FIG. 21

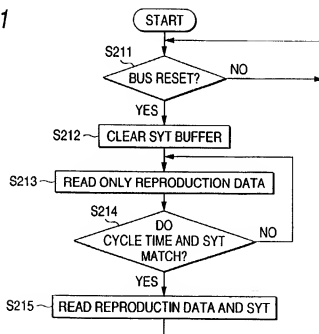


FIG. 22

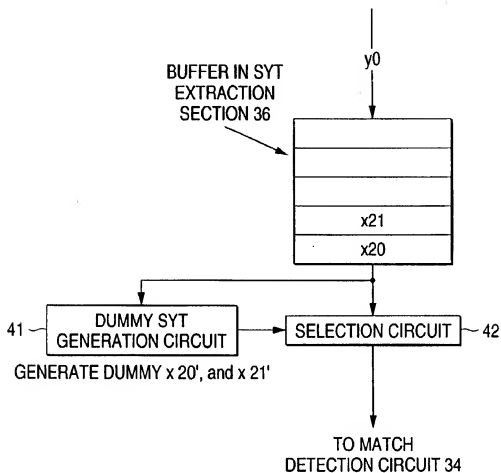


FIG. 23

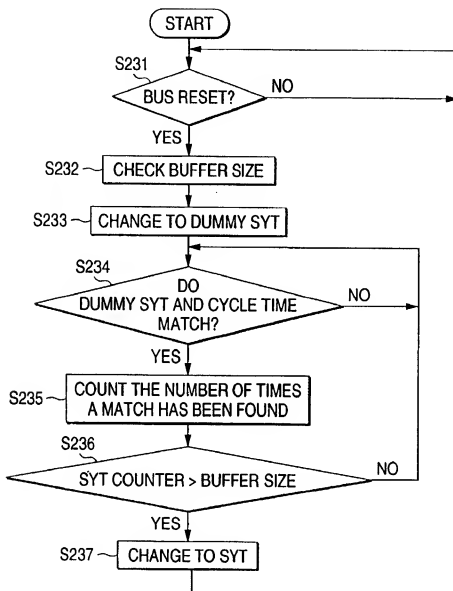


FIG. 24

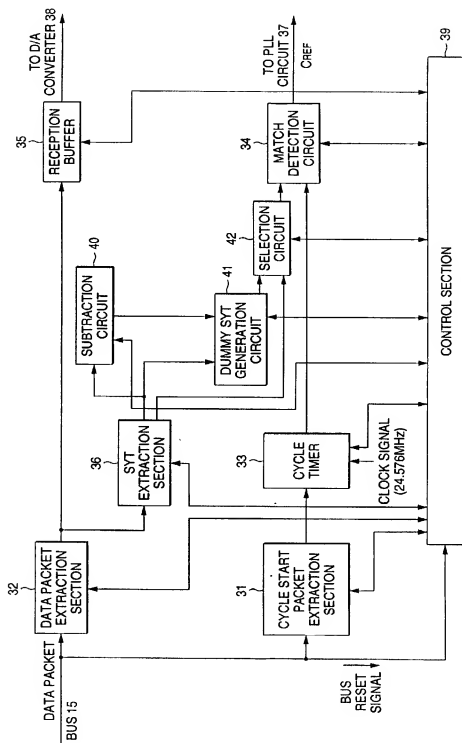


FIG. 25

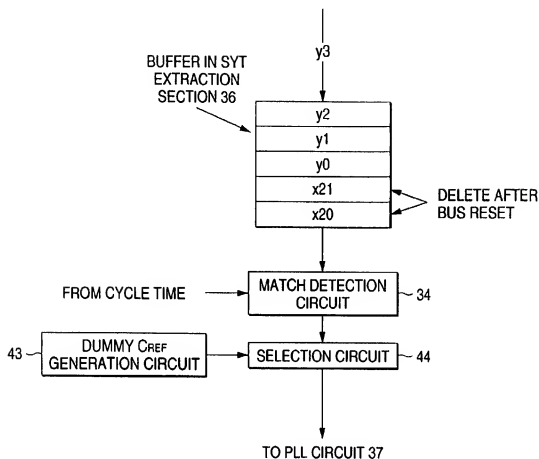


FIG. 26

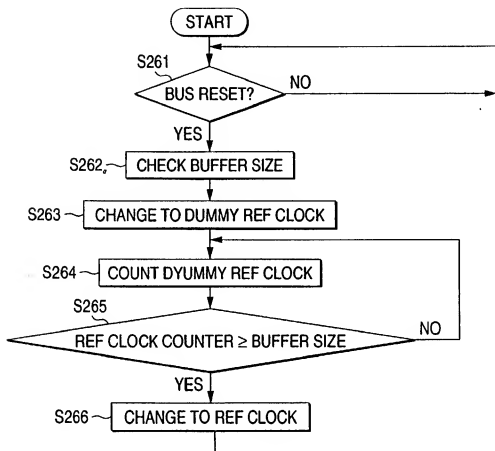


FIG. 27

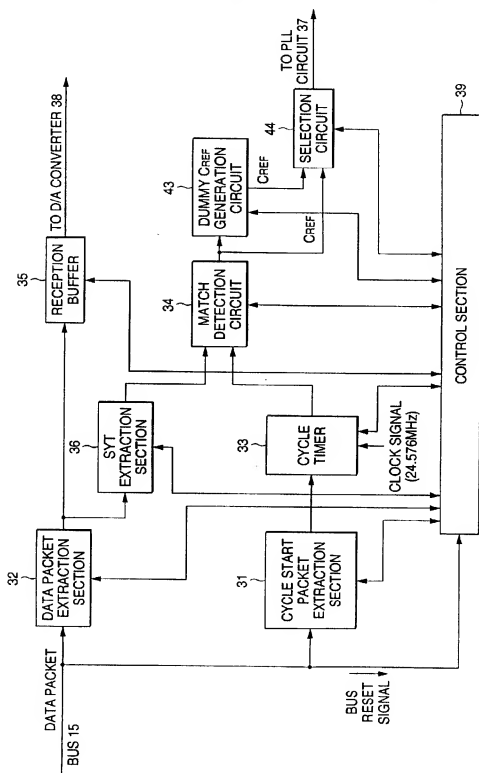


FIG. 28

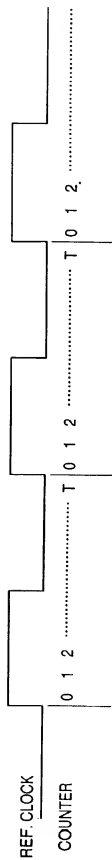


FIG. 29A

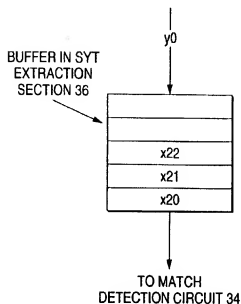


FIG. 29B

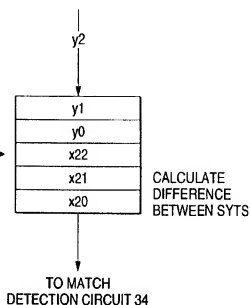


FIG. 30

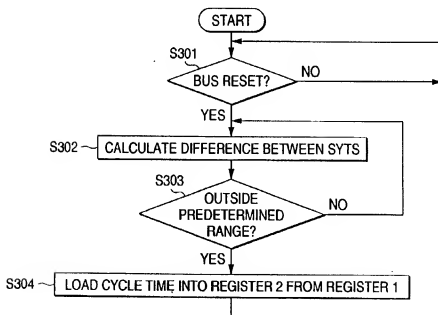
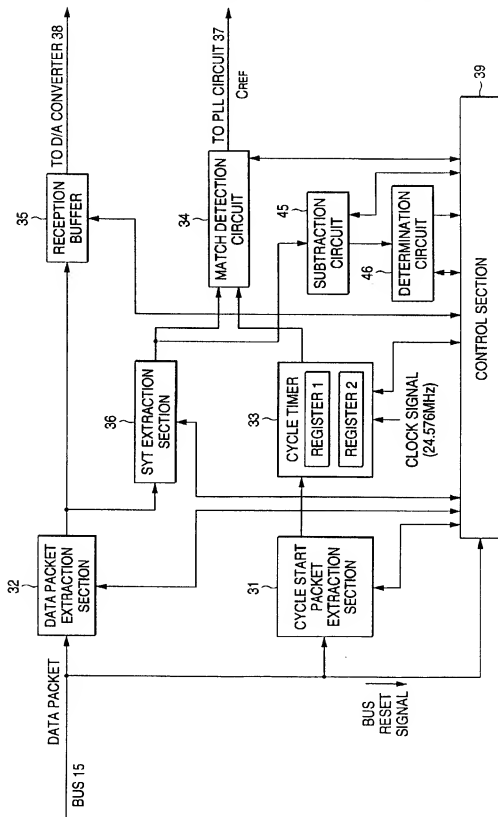


FIG. 31



RECEPTION INTERFACE UNIT IN TRANSMISSION SYSTEM

CROSS REFERENCE TO RELATED APPLICATION

[0001] This is a continuation of application Ser. No. 09/283,759 filed Apr. 2, 1999; the disclosure of which is incorporated herein by reference.

BACKGROUND OF THE INVENTION

[0002] 1. Field of the Invention

[0003] This invention relates to a reception interface unit in a transmission system for putting time series digital data into a data packet and transferring the data packet at high speed.

[0004] 2. Description of the Related Art

[0005] IEEE1394-1995 standard has been proposed as an interface standard for transferring time series data of audio signals, video signals, etc., in a data packet at high speed between electric devices such as audio devices, video devices, computers, etc.

[0006] However, in a data transfer system based on the IEEE1394-1995 standard, it is conceivable that received digital data cannot be reproduced at proper timing over a considerable period of time in a receiving party because of a change in the reference time in the system, a malfunction, etc.

SUMMARY OF THE INVENTION

[0007] The present invention has been made to solve the above problem, and therefore an object of the invention is to provide a reception interface unit in a transmission system for enabling digital data sent by a transmitting party to be restored to a state in which the data can be reproduced immediately at proper timing in a receiving party.

[0008] To achieve the above object, according to a first aspect of the invention, there is provided a reception interface unit in a transmission system wherein time series data is divided into data groups and a data packet comprising reproduction specification time data specifying the time at which each data piece in the data groups should be reproduced, added to the data groups is transmitted on a transmission bus in a time division manner, the reception interface unit comprising a cycle timer for counting the reference time on the transmission bus, reproduction specification time data extraction means for extracting the reproduction specification time data in the data groups from a signal received via the transmission bus and storing the reproduction specification time data in a buffer, a reception buffer for inputting and storing the data pieces in the data groups in order and reading out the data pieces in the storage order in response to a reproduction clock, a match detection means for generating a reference clock pulse if the reference time of the home device matches the reproduction specification time, and a PLL circuit being responsive to the reference clock pulse for generating a clock signal which is phase synchronized with the reference clock pulse as the reproduction clock, wherein when the reference time on the transmission bus changes, the data stored in the buffer in the reproduction

specification time data extraction means and the data stored in the reception buffer are all deleted.

[0009] According to a second aspect of the invention, there is provided a reception interface unit in a transmission system wherein time series data is divided into data groups and a data packet comprising reproduction specification time data specifying the time at which each data piece in the data groups should be reproduced, added to the data groups is transmitted on a transmission bus in a time division manner, the reception interface unit comprising a cycle timer for counting the reference time of the home device based on the reference time on the transmission bus, the cycle timer having at least two registers for temporarily storing the reference time of the home device before the reference time on the transmission bus changes and the reference time of the home device after the reference time on the transmission bus changes, reproduction specification time data extraction means for extracting the reproduction specification time data in the data groups from a signal received via the transmission bus and storing the reproduction specification time data in a buffer, a reception buffer for inputting and storing the data pieces in the data groups in order and reading out the data pieces in the storage order in response to a reproduction clock, a match detection means for generating a reference clock pulse if the reference time of the home device matches the reproduction specification time, and a PLL circuit being responsive to the reference clock pulse for generating a clock signal which is phase synchronized with the reference clock pulse as the reproduction clock, characterized in that when the buffer becomes empty of the data stored before the reference time on the transmission bus changes, either or both of the reproduction specification time data extraction means and the reception buffer output a control signal, that when the reference time on the transmission bus changes, the reproduction specification time data extraction means and the reception buffer interrupt write of the data and when each buffer becomes empty of the data stored before the reference time on the transmission bus changes, restarts write of the data, and that the cycle timer changes the reference time of the home device from the reference time of the home device before the reference time on the transmission bus changes to that after the reference time on the transmission bus changes based on the control signal and outputs the reference time of the home device to the match detection circuit.

[0010] According to a third aspect of the invention, there is provided a reception interface unit in a transmission system wherein time series data is divided into data groups and a data packet comprising reproduction specification time data specifying the time at which each data piece in the data groups should be reproduced, added to the data groups is transmitted on a transmission bus in a time division manner, the reception interface unit comprising a cycle timer for counting the reference time of the home device based on the reference time on the transmission bus, reproduction specification time data extraction means for extracting the reproduction specification time data in the data groups from a signal received via the transmission bus and storing the reproduction specification time data in a buffer, a reception buffer for inputting and storing the data pieces in the data groups in order and reading out the data pieces in the storage order in response to a reproduction clock, a match detection means for generating a reference clock-pulse if the reference time of the home device matches the reproduction speci-

cation time, and a PLL circuit being responsive to the reference clock pulse for generating a clock signal which is phase synchronized with the reference clock pulse as the reproduction clock, characterized in that when the reference time on the transmission bus changes, the reproduction specification time data extraction means deletes all the reproduction specification time data stored in the buffer.

[0011] According to a fourth aspect of the invention, there is provided a reception interface unit in a transmission system wherein time series data is divided into data groups and a data packet comprising reproduction specification time data specifying the time at which each data piece in the data groups should be reproduced, added to the data groups is transmitted on a transmission bus in a time division manner, the reception interface unit comprising a cycle timer for counting the reference time of the home device based on the reference time on the transmission bus, reproduction specification time data extraction means for extracting the reproduction specification time data in the data groups from a signal received via the transmission bus and storing the reproduction specification time data in a buffer, dummy reproduction specification time data generation means for generating dummy reproduction specification time data from the reproduction specification time data extracted in the reproduction specification time data extraction means, selection means for selectively outputting either of the reproduction specification time data from the reproduction specification time data extraction means and the dummy reproduction specification time data from the dummy reproduction specification time data generation means, a reception buffer for inputting and storing the data pieces in the data groups in order and reading out the data pieces in the storage order in response to a reproduction clock, a match detection means for generating a reference clock pulse if the reference time of the home device matches the reproduction specification time output from the selection means, and a PLL circuit being responsive to the reference clock pulse for generating a clock signal which is phase synchronized with the reference clock pulse as the reproduction clock, characterized in that the selection means selects the reproduction specification time data from the reproduction specification time data extraction means before the reference time on the transmission bus changes and selects the dummy reproduction specification time data from the dummy reproduction specification time data generation means after the reference time on the transmission bus changes.

[0012] According to a fifth aspect of the invention, the reception interface unit as set forth in the fourth aspect of the invention further includes subtraction means for finding a difference between the reproduction specification time data extracted in the reproduction specification time data extraction means just before the reference time on the transmission bus changes and the reproduction specification time data extracted in the reproduction specification time data extraction means just after the reference time changes and outputting the found time difference to the dummy reproduction specification time data generation means, wherein when the reference time on the transmission bus changes, the dummy reproduction specification time data generation means adds the time difference to, the reproduction specification time data stored in the buffer in the reproduction specification time data extraction means before the reference time changes to generate dummy reproduction specification time data.

[0013] According to a sixth aspect of the invention, in the invention of the fourth or fifth aspect, when the buffer becomes empty of the data stored before the reference time on the transmission bus changes, either or both of the reproduction specification time data extraction means and the reception buffer output a control signal, and the selection means selects the reproduction specification time data from the reproduction specification time data extraction means based on the control signal.

[0014] According to a seventh aspect of the invention, there is provided a reception interface unit in a transmission system wherein time series data is divided into data groups and a data packet comprising reproduction specification time data specifying the time at which each data piece in the data groups should be reproduced, added to the data groups is transmitted on a transmission bus in a time division manner, the reception interface unit comprising a cycle timer for counting the reference time of the home device based on the reference time on the transmission bus, reproduction specification time data extraction means for extracting the reproduction specification time data in the data groups from a signal received via the transmission bus and storing the reproduction specification time data in a buffer, a reception buffer for inputting and storing the data pieces in the data groups in order and reading out the data pieces in the storage order in response to a reproduction clock, a match detection means for generating a reference clock pulse if the reference time of the home device matches the reproduction specification time, dummy reference clock pulse generation means for generating a dummy reference clock pulse based on the period of the reference clock pulse, selection means for selectively outputting either the dummy reference clock pulse from the dummy reference clock pulse generation means and the reference clock pulse from the match detection means, and a PLL circuit being responsive to the reference clock pulse for generating a clock signal which is phase synchronized with the reference clock pulse as the reproduction clock, characterized in that the selection means selects the reference clock pulse from the match detection means before the reference time on the transmission bus changes and selects the dummy reference clock pulse from the dummy reference clock pulse generation means after the reference time on the transmission bus changes.

[0015] According to an eighth aspect of the invention, in the invention of the seventh aspect, the dummy reference clock pulse generation means has a counter for measuring the period of the reference clock pulse and generates the dummy reference clock pulse based on the measurement value.

[0016] According to a ninth aspect of the invention, in the invention of the seventh or eighth aspect, when the buffer becomes empty of the data stored before the reference time on the transmission bus changes, either or both of the reproduction specification time data extraction means and the reception buffer output a control signal, and the selection means selects the reference clock pulse from the match detection means based on the control signal.

[0017] According to a tenth aspect of the invention, there is provided a reception interface unit in a transmission system wherein time series data is divided into data groups and a data packet comprising reproduction specification time data specifying the time at which each data piece in the data

groups should be reproduced, added to the data groups is transmitted on a transmission bus in a time division manner, the reception interface unit comprising a cycle timer for counting the reference time of the home device based on the reference time on the transmission bus, the cycle timer having at least two registers for temporarily storing the reference time of the home device before the reference time on the transmission bus changes and the reference time of the home device after the reference time on the transmission bus changes, reproduction specification time data extraction means for extracting the reproduction specification time data in the data groups from a signal received via the transmission bus and storing the reproduction specification time data, a reception buffer for inputting and storing the data pieces in the data groups in order and reading out the data pieces in the storage order in response to a reproduction clock, a match detection means for generating a reference clock pulse if the reference time of the home device matches the reproduction specification time, and a PLL circuit being responsive to the reference clock pulse for generating a clock signal which is phase synchronized with the reference clock pulse as the reproduction clock, characterized in that the cycle timer outputs the reference time of the home device stored before the reference time on the transmission bus changes for the data stored in the reproduction specification time data extraction means and the reception buffer before the reference time on the transmission bus changes and outputs the reference time of the home device stored after the reference time on the transmission bus changes for the data stored in the reproduction specification time data extraction means and the reception buffer after the reference time on the transmission bus changes.

[0018] According to an eleventh aspect of the invention, the reception interface unit as set forth in the tenth aspect of the invention further includes subtraction means for finding a time difference between reproduction specification time data output from the reproduction specification time data extraction means and reproduction specification time data output from the reproduction specification time data extraction means immediately preceding that reproduction specification time data and a determination circuit for determining whether reproduction specification time data is reproduction specification time data stored before or after the reference time on the transmission bus changes based on the time difference found by the subtraction means, wherein the cycle timer is responsive to the determination result of the determination circuit for selectively outputting the reference time of the home device before the reference time on the transmission bus changes or the reference time of the home device after the reference time on the transmission bus changes to the match detection circuit.

[0019] According to a twelfth aspect of the invention, in the invention as set forth in the eleventh aspect, when the buffer becomes empty of the data stored before the reference time on the transmission bus changes, either or both of the reproduction specification time data extraction means and the reception buffer output a control signal, and the cycle timer selectively outputs the reference time of the home device before the reference time on the transmission bus changes or the reference time of the home device after the reference time on the transmission bus changes to the match detection circuit based on the control signal.

[0020] In the first aspect of the invention, when the reference time on the transmission bus changes, the data stored in the buffer in the reproduction specification time data extraction means and the data stored in the reception buffer are all deleted. Thus, after the reference time on the transmission bus changes, the digital data after the reference time changes can be reproduced immediately at proper timing in the receiving party.

[0021] In the second aspect of the invention, when the buffer becomes empty of the data stored before the reference time on the transmission bus changes, either or both of the reproduction specification time data extraction means and the reception buffer output a control signal, when the reference time on the transmission bus changes, the reproduction specification time data extraction means and the reception buffer interrupt write of the data and when each buffer becomes empty of the data stored before the reference time on the transmission bus changes, restart write of the data, and the cycle timer changes the reference time of the home device from the reference time of the home device before the reference time on the transmission bus changes to that after the reference time on the transmission bus changes based on the control signal and outputs the reference time of the home device to the match detection circuit. Thus, in the receiving party, after the reference time on the transmission bus changes, the digital data before the reference time on the transmission bus changes can be reproduced immediately at proper timing and then subsequently the digital data after the reference time on the transmission bus changes can be reproduced.

[0022] In the third aspect of the invention, when the reference time on the transmission bus changes, the reproduction specification time data extraction means deletes all the reproduction specification time data stored in the buffer. Thus, after the reference time on the transmission bus changes, the digital data before and after the reference time on the transmission bus changes can be reproduced immediately at proper timing in the receiving party.

[0023] In the fourth aspect of the invention, the selection means selects the reproduction specification time data from the reproduction specification time data extraction means before the reference time on the transmission bus changes and selects the dummy reproduction specification time data from the dummy reproduction specification time data generation means after the reference time on the transmission bus changes.

[0024] In the fifth aspect of the invention, the reception interface unit further includes subtraction means for finding a difference between the reproduction specification time data extracted in the reproduction specification time data extraction means just before the reference time on the transmission bus changes and the reproduction specification time data extracted in the reproduction specification time data extraction means just after the reference time on the transmission bus changes and outputting the found time difference to the dummy reproduction specification time data generation means, wherein when the reference time on the transmission bus changes, the dummy reproduction specification time data generation means adds the time difference to the reproduction specification time data stored in the buffer in the reproduction specification time data extraction means before the reference time on the transmission bus changes to generate dummy reproduction specification time data.

[0025] In the sixth aspect of the invention, when the buffer becomes empty of the data stored before the reference time on the transmission bus changes, either or both of the reproduction specification time data extraction means and the reception buffer output a control signal, and the selection means selects the reproduction specification time data from the reproduction specification time data extraction means based on the control signal. Thus, after the reference time on the transmission bus changes, the digital data before and after the reference time on the transmission bus changes can be reproduced immediately at proper timing in the receiving party.

[0026] In the seventh aspect of the invention, the selection means selects the reference clock pulse from the match detection means before the reference time on the transmission bus changes and selects the dummy reference clock pulse from the dummy reference clock pulse generation means after the reference time on the transmission bus changes.

[0027] In the eighth aspect of the invention, the dummy reference clock pulse generation means has a counter for measuring the period of the reference clock pulse and generates the dummy reference clock pulse based on the measurement value.

[0028] In the ninth aspect of the invention, when the buffer becomes empty of the data stored before the reference time on the transmission bus changes, either or both of the reproduction specification time data extraction means and the reception buffer output a control signal, and the selection means selects the reference clock pulse from the match detection means based on the control signal. Thus, after the reference time on the transmission bus changes, the digital data before and after the reference time on the transmission bus changes can be reproduced immediately at proper timing in the receiving party.

[0029] In the tenth aspect of the invention, the cycle timer outputs the reference time of the home device stored before the reference time on the transmission bus changes for the data stored in the reproduction specification time data extraction means and the reception buffer before the reference time on the transmission bus changes and outputs the reference time of the home device stored after the reference time on the transmission bus changes for the data stored in the reproduction specification time data extraction means and the reception buffer after the reference time on the transmission bus changes.

[0030] In the eleventh aspect of the invention, the reception interface unit further includes subtraction means for finding a time difference between reproduction specification time data output from the reproduction specification time data extraction means and reproduction specification time data output from the reproduction specification time data extraction means immediately preceding that reproduction specification time data and a determination circuit for determining whether reproduction specification time data is reproduction specification time data stored before or after the reference time on the transmission bus changes based on the time difference found by the subtraction means, wherein the cycle timer is responsive to the determination result of the determination circuit for selectively outputting the reference time of the home device before the reference time on the transmission bus changes or the reference time of the

home device after the reference time on the transmission bus changes to the match detection circuit.

[0031] In the twelfth aspect of the invention, when the buffer becomes empty of the data stored before the reference time on the transmission bus changes, either or both of the reproduction specification time data extraction means and the reception buffer output a control signal, and the cycle timer selectively outputs the reference time of the home device before the reference time on the transmission bus changes or the reference time of the home device after the reference time on the transmission bus changes to the match detection circuit based on the control signal. Thus, after the reference time on the transmission bus changes, the digital data before and after the reference time on the transmission bus changes can be reproduced immediately at proper timing in the receiving party.

BRIEF DESCRIPTION OF THE DRAWINGS

[0032] In the accompanying drawings:

[0033] FIG. 1 is a drawing to show electric devices connected by a high-speed serial data transfer interface;

[0034] FIG. 2 is a drawing to describe a root node determination method in topology in which nodes A to F are connected;

[0035] FIG. 3 is a drawing to describe a procedure of giving node IDs to nodes;

[0036] FIG. 4 is a drawing to show a packet composition in a cycle;

[0037] FIG. 5 is a drawing to show transfer of a cycle start packet CS;

[0038] FIG. 6 is a drawing to show the structure of an isochronous packet;

[0039] FIG. 7 is a drawing to show the format of a CIP header;

[0040] FIG. 8 is a drawing to show the structure of an asynchronous packet;

[0041] FIG. 9 is a drawing to show a connection state of electric devices containing transmitters and receivers;

[0042] FIG. 10 is a block diagram to show the configuration of the transmitter;

[0043] FIG. 11 is a block diagram to show the configuration of the receiver;

[0044] FIGS. 12A to 12E are drawings to describe data packet transfer;

[0045] FIG. 13 is a drawing to describe a problem involved in the invention;

[0046] FIGS. 14A and 14B are schematic drawings to show a first embodiment of the invention;

[0047] FIG. 15 is a flowchart to show the first embodiment of the invention;

[0048] FIG. 16 is a block diagram of the first embodiment of the invention;

[0049] FIGS. 17A and 17B are schematic drawings to show a second embodiment of the invention;

[0050] FIG. 18 is a flowchart to show the second embodiment of the invention;

[0051] FIG. 19 is a block diagram of the second embodiment of the invention;

[0052] FIGS. 20A and 20B are schematic drawings to show a third embodiment of the invention;

[0053] FIG. 21 is a flowchart to show the third embodiment of the invention;

[0054] FIG. 22 is a schematic drawing to show a first method of a fourth embodiment of the invention;

[0055] FIG. 23 is a flowchart to show the first method of the fourth embodiment of the invention;

[0056] FIG. 24 is a block diagram to show the first method of the fourth embodiment of the invention;

[0057] FIG. 25 is a schematic drawing to show a second method of the fourth embodiment of the invention;

[0058] FIG. 26 is a flowchart to show the second method of the fourth embodiment of the invention;

[0059] FIG. 27 is a block diagram to show the second method of the fourth embodiment of the invention;

[0060] FIG. 28 is a drawing to show clock period of reproduction reference clock signal C_{REF} in the second method of the fourth embodiment of the invention;

[0061] FIGS. 29A and 29B are schematic drawings to show a fifth embodiment of the invention;

[0062] FIG. 30 is a flowchart to show the fifth embodiment of the invention; and

[0063] FIG. 31 is a block diagram of the fifth embodiment of the invention.

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS

[0064] Referring now to the accompanying drawings, there are shown preferred embodiments of the invention.

[0065] FIG. 1 shows a data transfer system incorporating the invention. The data transfer system includes a high-speed serial data transfer interface based on the IEEE1394-1995 standard, wherein a plurality of electric devices 1₁ to 1₅ are detachably connected using cables and connectors in a daisy chain manner and a branch manner. The electric devices 1₁ to 1₅ refer to devices for inputting or outputting digital data, such as digital video tape recorders, digital video disc players, personal computers, digital video cameras, hard disk drives, scanners, and printers. That is, the electric devices include not only personal computers and peripheral devices connected thereto, but also household electric devices for inputting or outputting digital data. If each of the electric devices 1₁ to 1₅ is connected only at the termination of the daisy chain, it may include one connector jack; a device enabling the daisy chain manner includes two connector jacks and a device enabling the branch manner includes three or more connector jacks. A connector plug connected to a connector jack is provided at either end of each cable. A path provided by the cables for connecting the devices is a data transfer bus.

[0066] Next, a data transfer protocol of the IEEE1394-1995 standard will be discussed. In this protocol, electric devices are referred to as nodes, which are given node IDs for discriminating the electronic devices from each other. The node is either a branch node or a leaf node. That is, the branch node is a node connected to two or more nodes and the leaf node is a termination node connected only to one node. In a state in which a number of nodes are connected, a bus reset signal is generated when power is turned on, when an additional node is connected to the bus, or when any node is disconnected from the bus. After the bus is reset, a root node is determined among the nodes.

[0067] First, a root node determination method will be discussed.

[0068] Each of the nodes connected on the bus determines which of branch and leaf nodes the home device is, and detects topology of the nodes as information.

[0069] The node which determines that the home device is a leaf node sends a signal parent notify indicating a notification from a child node to a parent node to a branch node. The node which receives the signal parent notify returns a signal child notify indicating a notification from a parent node to a child node to the leaf node, whereby the parent-child relationship between the nodes containing the leaf node is determined. After this, since neither the signal parent notify nor the signal child notify is transferred between branch nodes, the branch nodes recognize that a parent-child relationship is not determined, and each sends a signal parent notify to the other. When each of the two branch nodes sending the signal to the other judges reception of the signal, the branch nodes set different times individually. One branch node in which the setup time has elapsed first sends a signal parent notify to the other. Since the other receives the signal parent notify from one branch node before the expiration of the setup time, the parent-child relationship between the two branch nodes is determined. The parent node between two branch nodes with their parent-child relationship thus last determined becomes the root node.

[0070] For example, in topology in which nodes A to F are connected as shown in FIG. 2, the leaf nodes A, E, and F are first determined to be child nodes. A port of each of the leaf nodes A, E, and F corresponds to a child node as indicated by c, and one port of the branch node B and two ports of the branch node D to which the leaf nodes are connected correspond to parent nodes as indicated by p. Next, between the branch nodes C and D, the node C has two undetermined ports and thus the branch node D first sends parent notify to the branch node C, because the node which has one undetermined port shall first send parent notify. Therefore, at this point in time, the remaining one port of the branch node D corresponds to child node c and one port of the branch node C corresponds to parent node p.

[0071] Last, between the branch nodes B and C, both the nodes have one undetermined port and each sends parent notify to the other. At this time, as described above, when each of the two branch nodes sending the signal to the other judges reception of parent notify, the branch nodes set different times individually. In the example, the branch node C, which first reaches the setup time, sends parent notify to the branch node B. Since the branch node B receives parent notify from one branch node before the expiration of the setup time, the parent-child relationship between the two

branch nodes is determined. That is, the other port of the branch node C corresponds to child node c and the port of the branch node B corresponds to parent node p. The node B which becomes the parent node between the two branch nodes with their parent-child relationship thus last determined becomes the root node.

[0072] Next, a method of giving node IDs to nodes will be discussed in detail.

[0073] First, the root node sends node ID to each node. In this process, the node IDs starting at the lowest number (node number 0) are set starting at a leaf node (terminal) in the port number order of the ports to which child nodes are connected. The root node is assigned the node ID of the highest node number.

[0074] For example, in the topology in FIG. 2, node IDs are given as shown in FIG. 3. The node ID giving method is as follows: First, the node B, which is the root node, sends a signal grant for giving node ID number to the node A connected to the port assigned the lowest port number in the device of the node B. In FIG. 2, the numbers indicated near the bus connection terminals are port numbers. After receiving the signal grant, the node A is assigned the node ID number, then returns an acknowledge signal indicating that the number is assigned to the parent node. After this, the node A sends the node ID number of the home device (ID=0) to all nodes.

[0075] Upon reception of the ID number, every node increments a node counter of the home device (ID counter=0).

[0076] Next, the root node B sends a signal grant for giving node ID number to the node C connected to the port assigned the second lowest port number in the device of the node B. The node C sends a signal grant for giving node ID number to the node D connected to the port assigned the lowest port number in the device of the node C. The node D sends a signal grant for giving node ID number to the node F connected to the port assigned the lowest port number in the device of the node D. After receiving the signal grant, the node F is assigned the node ID number, then returns an acknowledge signal indicating that the number is assigned to the parent node D. After this, the node F sends the node ID-number of the home device (ID=1) to all nodes.

[0077] Upon reception of the ID number, every node increments the node counter of the home device (ID counter=1).

[0078] Next, the node D sends a signal grant for giving node ID number to the node E connected to the port assigned the second lowest port number in the device of the node D. Hereinafter, the node ID numbers of the devices will be given in the above-described order, as in FIG. 3.

[0079] Upon completion of giving the node IDs, a bus manager is selected from among nodes for performing isochronous band control, isochronous channel control, power control, and topology mapping and speed mapping management. This topic will not be discussed in detail here.

[0080] Isochronous transfer and asynchronous transfer are executed as data transfer. The isochronous transfer is executed for transferring synchronous data which needs to be transmitted periodically and the asynchronous transfer is executed for transferring asynchronous data. One cycle of

data transfer is 125 μ sec; in each cycle, a cycle start packet CS, isochronous packets I_1 and I_2 , and an asynchronous packet (Async transfer) are positioned in order as shown in FIG. 4. The cycle start packet CS is transferred from a cycle master node (for example, the root node) to all nodes and indicates the start of the data transfer cycle.

[0081] Assuming that five nodes A to E are connected to a bus based on the IEEE1394-1995 standard, for example, as shown in FIG. 5, each of the nodes A-E includes a cycle timer for counting at a frequency of 24.576 MHz and providing a time value, and data is transmitted and received at the count timing of the cycle timer. If the node E is the master node, it sends a cycle start packet CS onto the bus for supply to the nodes A to D every 125 μ s. The cycle start packet CS indicates the time value of the cycle timer of the node E and each of the nodes A-D receives the cycle start packet CS and makes the time value of the cycle timer of the node equal to the time value of the cycle timer of the node E (reference time), whereby the data transmission/reception operation timings of all nodes A to E connected to the bus are synchronized.

[0082] The isochronous packet is an isochronous transfer packet and the units of isochronous packets transferred in one isochronous packet cycle are called channels. In FIG. 4, the packets I_1 and I_2 of two channels are shown; the number of packets is set for each cycle and packets of channels are time division multiplexed. A node for transferring data in isochronous packets can send a data packet once every 125 μ s if it previously executes a reservation procedure and gets a channel. Specifically, as shown in FIG. 6, the isochronous packet consists of arbitration and a data packet. The arbitration is data for asking the root node for the bus use right and getting use permission before data transfer. If any node gets use permission, immediately the root node supplies a signal indicating the fact to each node. If user permission is gotten, the data packet is sent. It has a header, header CRC, a CIP header, a data field, and data CRC in time sequence. The header contains a channel number indicating the type of data transferred in the isochronous packet, a data size indicating the time length of the data, etc., as information. The channel numbers are 0 to 63.

[0083] The format of the CIP header is as shown in FIG. 7. It will be discussed briefly. SID is a field for giving a transmitter ID number. DBS is the size of one sample data piece (data block). FN, QPC, and SPH are fields required for sending video data such as MPEG data, for example. FN is a numeric value indicating how many data blocks a source packet is divided into to convert the source packet into IEEE1394 packet, QPC is the number of dummy quadrats added to set the size of the source packet to a DBS multiple (one quadrat is four bytes), and SPH is a field for giving one to the data packet containing a source packet header. Rsv is reservation and DBC is a field for giving consecutive number of sample data. The DBC indicated in the CIP header is the number of the first sample data in a data packet.

[0084] Next, FMT is format ID and is a field given in response to a data protocol; for example, for A&M (Audio/Music) protocol, A&M protocol format information is given. FDF is a field pursuant to the FMT; for example, for A&M (Audio/Music) protocol, the sampling frequency of each data, etc., is given.

[0085] SYT indicates the demodulating time of the packet data in the receiving party and is time stamp data (repro-

duction specification time data). This reproduction specification time data SYT is made up of the low-order 16 bits of the CIP header. The high-order four bits of the low-order 16 bits are called a cycle count for counting every Iso cycle (125 μ s) and the low-order 12 bits are called a cycle offset for counting at a clock of 24.576 MHz.

[0086] The asynchronous packet is a packet for transferring data with a transfer destination specified. The transfer destination is a specific node or all nodes on the bus. Specifically, as shown in FIG. 8, the asynchronous packet consists of arbitration, a data packet, and an acknowledge packet. The arbitration is data for asking the root node for the bus use right and getting use permission before data transfer. The data packet has a header, header CRC, a data field, and data CRC in time sequence. The header contains the node ID of the destination of the data transferred in the asynchronous packet, the node ID of the source, a data size indicating the time length of the data, etc., as information. It has a header, header CRC, a CIP header, a data field, and data CRC in time sequence. The header contains a channel number indicating the type of data transferred in the isochronous packet, a data size indicating the time length of the data, etc., as information. The acknowledge packet is a packet returned to the source node by the destination node which receives the data transferred in the asynchronous packet and acknowledges the data reception.

[0087] Next, an audio data transfer method in an isochronous packet will be discussed. As shown schematically in FIG. 9, assume that audio data DATA of time series digital data with sampling frequency fs, for example, 44.1 kHz is supplied from a transmitter 11 in one electric device 9 to a receiver 12 in another electric device 10 via a bus 15 based on the IEEE1394-1995 standard. The electric device 9 contains a receiver 13 similar to the receiver 12 and the electric device 10 contains a transmitter 14 similar to the transmitter 11.

[0088] In the transmitter 11 (14), as shown in FIG. 10, sample data of digital data is stored in a transmission buffer 21 in sequence. The stored data is converted into a data packet by an MUX (multiplexer) 22, then output to the bus 15. The operation of the transmission buffer 21 and the MUX 22 is controlled by a microcomputer (not shown).

[0089] On the other hand, a 24.576-MHz clock signal is supplied to a cycle timer 23 made of a register and an 8-kHz reference signal (signal on which the reference time is based) is also supplied from the cycle master node to the cycle timer 23. All nodes set the time based on the reference time.

[0090] FIG. 10 shows the configuration of any node other than the cycle master node; in the cycle master node, the reference time is generated by the clock of the home device and thus the 8-kHz reference signal is not supplied to the cycle master node.

[0091] The cycle timer 23 counts the clock signal from the value indicated by the reference signal and supplies the count to a latch circuit 24 as a time value. A time stamp timing signal fs/SYT INTERVAL is supplied to the latch circuit 24 periodically. It is a signal generated by means (not shown) and indicating the timing for adding a time stamp, namely, time information to sample data (data block) and is a frequency found by sampling frequency fs/sample interval SYT INTERVAL.

[0092] The sample interval SYT INTERVAL is a sample interval at which a time stamp (SYT) is added to the sample data; for example, it is 8. Therefore, the latch circuit 24 retains the time value of the cycle timer 23 when the time stamp timing signal fs/SYT INTERVAL is supplied. Transfer delay time T_D described later is added to the retained time value and the result is supplied to the MUX 22 and is added to sample data at the sample interval SYT INTERVAL at conversion to a packet. Thus, the sample data having the time value every sample interval SYT INTERVAL is sent to the bus 15 as a data packet. An adder for adding the transfer delay time T_D to output of the latch circuit 24 is provided although it is not shown.

[0093] In the receiver 12 (13), as shown in FIG. 11, a data packet from the bus 15 is supplied to a cycle start packet extraction section 31 and a data packet extraction section 32 for an isochronous packet. From the data packet transferred via the bus 15, the cycle start packet extraction section 31 extracts a cycle start packet CS and the data packet extraction section 32 extracts an isochronous packet. The extracted cycle start packet CS is supplied to a cycle timer 33 and the time value indicated in the cycle start packet CS is set in the cycle timer 33, which then counts the 24.576-MHz clock signal from the setup time value and outputs the count to a match detection circuit 34 as cycle time (reference time) Tc.

[0094] On the other hand, the isochronous packet extracted by the data packet extraction section 32 is stored in a reception buffer 35 and the SYT contained in the CIP header in the isochronous packet is extracted by an SYT extraction section 36 and is output to the match detection circuit 34, which then compares the cycle time Tc output from the cycle timer 33 with the SYT output from the SYT extraction section 36. When the time values match, the match detection circuit 34 outputs a reproduction reference clock signal f_{REF} . A PLL circuit 37 generates a reproduction sampling clock signal fs in phase synchronization with the reproduction reference clock signal f_{REF} and transmits the reproduction sampling clock signal fs to the reception buffer 35 and a D/A converter 38. The reception buffer 35 separates sample data in the stored data packet in sample data units in synchronization with the reproduction sampling clock signal fs and outputs. The D/A converter 38 converts the sample data output from the reception buffer 35 into an analog audio signal in synchronization with the reproduction sampling clock signal fs.

[0095] A control section 39 for controlling the circuits is provided.

[0096] A bus reset signal transmitted on the bus is received at the control section 39.

[0097] The data packet transfer method will be furthermore discussed. In the transmitter 11, a time stamp timing signal fs/SYT INTERVAL is generated like a signal waveform shown in FIG. 12A. The time values T1, T2, T3, . . . on the rising edges of the time stamp timing signal fs/SYT INTERVAL correspond to sample data with DBC=i, i+8, i+16, . . . at the point in time. That is, the sample data string is put into a packet in five or six sample units every 125 μ sec and transfer delay time T_D added to the time value T1, T2, T3, . . . of the sample data positioned on the rising edge of the time stamp timing signal fs/SYT INTERVAL in the sample data string (for example, T1', T2', T3') is added to the CIP header as SYT. The sample data interval at which the

time value is added becomes the sample interval SYT INTERVAL (8 in the example in FIGS. 12A-12E).

[0098] The time value T1', T2', T3' is data indicating the reproduction output time in the receiving party of the corresponding sample data and the transfer delay time T_D is added to the current time value of the cycle timer of the transmitter as described above. In the next cycle to the 125- μ sec cycle in which conversion to a packet is executed, the data packet is sent onto the bus as an isochronous packet ISO following a cycle start packet CS, as shown in FIG. 12C.

[0099] In the receiver 12, the isochronous packet ISO sent from the transmitter 11 is extracted, then is stored in the reception buffer 35. For example, when the time value of the cycle timer of the receiver 12 becomes T1' as shown in FIG. 12E, the sample data with DBC=i is output from the reception buffer 35, as shown in FIG. 12D, in synchronization with the reproduction sampling clock signal fs, and the subsequent sample data is output from the reception buffer 35 in order in synchronization with the reproduction sampling clock signal fs.

[0100] When the time value of the cycle timer 33 of the receiver 12 becomes T2', the sample data with DBC=i+8 is output from the reception buffer 35 in synchronization with the reproduction sampling clock signal fs. Such operation is repeated as long as the reproduction reference clock signal f_{REF} is provided, so that data transfer is enabled.

[0101] Thus, in the receiving party, the transferred data is stored in the buffer and when the SYT (reproduction specification time data) of the reception data matches the cycle time Tc output from the cycle timer in the receiving party, the data is processed.

[0102] However, for example, if a new device is connected to the bus on which isochronous transfer is executed, bus reset occurs as described above, and at the time, there is a possibility that the new connected device on the bus will become the cycle master. At this time, the data stored in the buffer before the bus reset and that after the bus reset differ in time information reference time. Thus, if the SYT (time data) of the data stored before the bus reset does not match the cycle time of the home device in the receiving party for an extended time period, there is a possibility that the buffer will overflow, making it impossible to perform normal reception data processing.

[0103] Specifically, as shown in FIG. 13, a bus (a) connecting at least two nodes executing transmission and reception at cycle time CT=X and a bus (b) connecting at least two nodes executing transmission and reception at cycle time CT=Y are connected and the cycle time on the resultant bus (c) becomes CT=Y.

[0104] At this time, SYT at cycle time CT=X (x20, x21) and SYT at cycle time CT=Y (y0, y1, y2) are mixed in the buffer in the SYT extraction section 36 of the receiving node operating at CT=X.

[0105] For example, if SYT (x20, x21) is earlier data than at CT=Y, the cycle time reference time after the bus reset, the SYT (reproduction specification time data) of the data does not match the cycle time Tc (reference time) in the receiving party and the buffer overflows, making it impossible to perform normal reception data processing.

[0106] At the time, it is possible to take any of the following five recovery means in the receiving party:

[0107] (1) After the bus reset, the reception data and the SYT of the data stored in the buffer in the receiving party before the bus reset are all deleted, and data after the bus reset is processed as usual;

[0108] (2) after the bus reset, data transmission to the buffer is interrupted until the data stored in the buffer in the receiving party before the bus reset is processed, and after the data stored before the bus reset has been processed, processing of the data having SYT information after the bus reset is started;

[0109] (3) after the bus reset, only SYTs stored in the buffer in the receiving party are all deleted, the data stored just before the bus reset is processed according to the reproduction sampling clock fs generated based on the reproduction reference clock signal generated before the bus reset, and data after the bus reset is processed as usual;

[0110] (4) after the bus reset, the data stored before the bus reset is processed using dummy SYT or a dummy reproduction reference clock signal and after the data stored before the bus reset has been all processed, usual processing is performed using SYT or a reproduction reference clock signal after the bus reset; or

[0111] (5) after the bus reset, the data stored before the bus reset is processed using the cycle time before the bus reset and after the data stored before the bus reset has been all processed, usual processing is performed using cycle time after the bus reset.

[0112] Specific methods of (1) to (5) described above will be discussed with reference to the accompanying drawings as first to fifth embodiments.

[0113] (First Embodiment)

[0114] FIGS. 14A and 14B are drawings to schematically show the method of (1) described above.

[0115] FIG. 14A shows the state of a buffer in an SYT extraction section 36 just after bus reset in a receiving party operating at cycle time CT=X and FIG. 14B shows the buffer state after the method (1) is executed.

[0116] That is, since transmission and reception are executed at cycle time CT=X before bus reset, SYTs of x20 and x21 are stored in the buffer in the SYT extraction section 36 (FIG. 14A).

[0117] After this, when bus reset occurs and the cycle time on the bus becomes CT=Y, all SYTs stored in the buffer in the SYT extraction section 36 are deleted. The data in a reception buffer 35 in the packet containing the SYT is also deleted.

[0118] After the bus reset, SYTs at cycle time CT=Y are stored in the buffer in the SYT extraction section 36 as y0, y1, y2 . . . (FIG. 14B).

[0119] Thus, in the first embodiment, after the bus reset, the reception data stored in the buffer in the receiving party before the bus reset and the SYT of the data are all deleted.

[0120] FIG. 15 is a flowchart to show the receiver state described above. FIG. 16 is a block diagram provided by extracting the portion related to the first embodiment from the block diagram of FIG. 11. Circuit parts identical with or similar to those previously described with reference to FIG. 11 are denoted by the same reference numerals in FIG. 16 and will not be discussed again.

[0121] The specific method of the first embodiment will be discussed with reference to FIGS. 15 and 16.

[0122] First, in a state in which data is transmitted and received on a bus 15 by at least two nodes, a cycle start packet extraction section 31 extracts a data packet from the bus 15 and supplies extracted cycle start packet CS to a cycle timer 33, which then sets the time value indicated in the cycle start packet CS in a register (not shown).

[0123] On the other hand, a data packet extraction section 32 extracts an isochronous packet on the bus 15 and feeds data in the packet into the reception buffer 35. An SYT extraction section 36 extracts SYT contained in a CIP header in the isochronous packet.

[0124] After this, data demodulation processing is performed in predetermined data reception processing previously described with reference to FIG. 11.

[0125] If bus reset occurs at step S151 because of connection of a new device or disconnection of an existing device while data is being transferred, a control section 39 receives a bus reset signal. After this, the cycle timer 33 receives a new cycle start packet CS at step S152. The cycle timer 33 receiving the cycle start packet CS is set to the time value indicated in the cycle start packet CS, then counts 24.576-MHz clock signal from the setup time value and outputs the count to a match detection circuit 34 as cycle time (reference time) Tc.

[0126] The control section 39 transmits a control signal to the reception buffer 35 and the SYT extraction section 36 so as to clear the data in the buffers.

[0127] Upon reception of the control signal, the reception buffer 35 and the SYT extraction section 36 clear all the data in the buffers at step S153.

[0128] After step S153, usual operation is repeated until bus reset occurs.

[0129] That is, the match detection circuit 34 compares the cycle time Tc supplied from the cycle timer 33 with a new SYT supplied from the SYT extraction section 36. If the time values match, the match detection circuit 34 outputs a reproduction reference clock signal C_{REF}. The subsequent steps are executed as described above.

[0130] If bus reset does not occur at step S151, usual operation is also repeated until bus reset occurs.

[0131] Thus, in the first embodiment, when bus reset occurs, the data in the reception buffer 35 and the buffer in the SYT extraction section 36 are all cleared and processing of data after the bus reset is started as usual. Therefore, even if the time information before the bus reset differs from that after the bus reset, normal processing is performed.

[0132] In the first embodiment, the data corresponding to SYT (x20, x21) shown in FIG. 14A is lost, but data demodulation is restarted in the simple configuration.

[0133] (Second Embodiment)

[0134] FIGS. 17A and 17B are drawings to schematically show the method of (2) described above.

[0135] The buffer state in an SYT extraction section 36 in FIGS. 17A and 17B is the same as that in the first embodiment. FIG. 17A shows the state of a buffer in the SYT extraction section 36 just after bus reset in a receiving party operating at cycle time CT=X and FIG. 17B shows the buffer state after the method (2) is executed.

[0136] That is, since transmission and reception are executed at cycle time CT=X before bus reset, SYTs of x20 and x21 are stored in the buffer in the SYT extraction section 36 (FIG. 17A).

[0137] After this, when bus reset occurs and the cycle time on the bus becomes CT=Y, the SYT extraction section 36 interrupts input of new SYT. After all the data stored in the SYT extraction section 36 before the bus reset has been processed, the SYT extraction section 36 restarts input of new SYT.

[0138] After input of new SYT is restarted, SYTs at cycle time CT=Y are stored in the buffer in the SYT extraction section 36 as y2, y3, y4, y5 . . . (FIG. 17B).

[0139] Thus, in the second embodiment, after the bus reset, data feeding into the buffer is interrupted until the data stored in the buffer in the receiving party before the bus reset is processed, and after the data stored before the bus reset has been processed, feeding of the data having SYT information after the bus reset is started.

[0140] FIG. 18 is a flowchart to show the receiver state described above. FIG. 19 is a block diagram provided by extracting the portion related to the second embodiment from the block diagram of FIG. 11. Circuit parts identical with or similar to those previously described with reference to FIG. 11 are denoted by the same reference numerals in FIG. 18 and will not be discussed again.

[0141] In the embodiment, a cycle timer 33 has two registers for temporarily retaining data.

[0142] The specific method of the second embodiment will be discussed with reference to FIGS. 18 and 19.

[0143] First, in a state in which data is transmitted and received on a bus 15 by at least two nodes, a cycle start packet extraction section 31 extracts a data packet from the bus 15 and supplies extracted cycle start packet CS to the cycle timer 33, which then sets the time value indicated in the cycle start packet CS in a register 1, for example.

[0144] On the other hand, a data packet extraction section 32 extracts an isochronous packet on the bus 15 and feeds data in the packet into the reception buffer 35. An SYT extraction section 36 extracts SYT contained in a CIP header in the isochronous packet.

[0145] After this, data demodulation processing is performed in data reception processing described above.

[0146] If bus reset occurs at step S181 because of connection of a new device or disconnection of an existing device while data is being transferred, a control section 39 receives a bus reset signal. After this, the control section 39 sends a control signal to the cycle timer 33 for instructing the cycle timer 33 to store a new cycle time in another register.

Upon reception of the control signal, the cycle timer 33 writes a new cycle time into a second register 2, for example, at step S182.

[0147] At this time, the cycle timer 33 generates the cycle time of the home device based on the cycle time stored in the register 1 and continues to supply the cycle time to a match detection circuit 34.

[0148] On the other hand, the control section 39 transmits a control signal to the reception buffer 35 and the SYT extraction section 36 for instructing the reception buffer 35 and the SYT extraction section 36 to interrupt data write into buffers.

[0149] Upon reception of the control signal, the reception buffer 35 and the SYT extraction section 36 interrupt data write into the buffers at step S183.

[0150] At this time, processing of the data already stored in the reception buffer 35 before the bus reset is continued.

[0151] Then, in the reception buffer 35, whether or not FIFO in the reception buffer 35 becomes empty of data is checked. If the FIFO in the reception buffer 35 does not become empty of data (N at step S184), interrupt of data write into the buffer at step S183 is continued. If the FIFO in the reception buffer 35 becomes empty of data (Y at step S184), the reception buffer 35 returns Empty Flag to the control section 39.

[0152] Upon reception of Empty Flag, the control section 39 sends a control signal to the cycle timer 33 for instructing the cycle timer 33 to rewrite cycle time. Upon reception of the control signal, the cycle timer 33 rewrites the cycle time stored in the register 2 into the register 1 at step S185, then generates the cycle time of the home device based on the cycle time and supplies the generated cycle time to the match detection circuit 34.

[0153] The control section 39 sends a control signal to the reception buffer 35 and the SYT extraction section 36 for instructing the reception buffer 35 and the SYT extraction section 36 to restart data write into the buffers.

[0154] Upon reception of the control signal, the reception buffer 35 and the SYT extraction section 36 restart data write into the buffers at step S186.

[0155] After the reception buffer 35 and the SYT extraction section 36 restart data write into the buffers at step S186, usual operation is repeated until bus reset occurs.

[0156] If bus reset does not occur at step S181, usual operation is also repeated until bus reset occurs.

[0157] At step S183, control can also be performed so as to instruct the data packet extraction section 32 not to extract data after the bus reset or the data packet extraction section 32 not to transmit data.

[0158] In short, control may be performed so that data is not stored in the reception buffer 35 or the SYT extraction section 36.

[0159] In the second embodiment, the data amount in the reception buffer 35 is checked. However, data in FIFO in the SYT extraction section 36 is monitored and if the FIFO in the SYT extraction section 36 becomes empty of data, Empty Flag can also be transmitted. As described later in a fourth embodiment, at the bus reset time, the FIFO data

amount is measured in either or both of the reception buffer 35 or the SYT extraction section 36 and if the data amount output from the FIFO reaches the measurement value, a predetermined control signal can also be output.

[0160] In short, a control signal indicating that the FIFO in either or both of the reception buffer 35 and the SYT extraction section 36 becomes empty of data stored before the bus reset may be output.

[0161] Thus, in the second embodiment, after bus reset occurs, data write into the reception buffer 35 and the buffer in the SYT extraction section 36 is interrupted and after the data stored before the bus reset has been processed, processing of data after the bus reset is started. Therefore, even if the time information before the bus reset differs from that after the bus reset, normal processing is performed.

[0162] Thus, in the second embodiment, the data related to SYT (y0, y1) shown in FIG. 17A is lost, but the data stored before the bus reset is processed normally and usual processing is also restarted after the bus reset.

[0163] (Third Embodiment)

[0164] FIGS. 20A and 20B are drawings to schematically show the method of (3) described above.

[0165] The buffer state in an SYT extraction section 36 in FIGS. 20A and 20B is the same as that in the first embodiment. FIG. 20A shows the state of a buffer in the SYT extraction section 36 just after bus reset in a receiving party operating at cycle time CT=X and FIG. 20B shows the buffer state after the method (3) is executed.

[0166] That is, since transmission and reception are executed at cycle time CT=X before bus reset, SYTs of x20 and x21 are stored in the buffer in the SYT extraction section 36 (FIG. 20A).

[0167] After this, when bus reset occurs and the cycle time on the bus becomes CT=Y, all SYTs stored in the buffer in the SYT extraction section 36 are deleted.

[0168] Then, the SYT extraction section 36 starts input of new SYT.

[0169] After input of new SYTs, SYTs at cycle time CT=Y are stored in the buffer in the SYT extraction section 36 as y0, y1, y2, y3 . . . (FIG. 20B).

[0170] After the bus reset, the data stored in the reception buffer 35 before the bus reset is controlled according to a reproduction sampling clock fs generated by a reproduction reference clock signal CEF generated when cycle time CT=X before the bus reset. After all the data related to the cycle time CT=X has been processed, data related to cycle time CT=Y is processed as usual.

[0171] Thus, in the third embodiment, after the bus reset, all SYTs stored in the buffer in the SYT extraction section 36 are deleted.

[0172] FIG. 21 is a flowchart to show the state described above.

[0173] The specific method of the third embodiment will be discussed with reference to FIGS. 16 and 21.

[0174] First, in a state in which usual operation is performed as previously described in the first embodiment, if bus reset occurs at step S211 because of connection of a new

device or disconnection of an existing device, a control section 39 receives a bus reset signal. After this, the control section 39 sends a control signal to the SYT extraction section 36 so as to clear all SYTs in the buffer.

[0175] Upon reception of the control signal, the SYT extraction section 36 clears all the SYTs in the buffer at step S212.

[0176] Processing of the data stored in the reception buffer 35 is continued at step S213 in synchronization with a reproduction sampling clock signal fs phase-synchronized with a reference clock C_{REF} generated before the bus reset.

[0177] In this state, SYT is not transmitted from the SYT extraction section 36 to a match detection circuit 34 for a while, thus the match detection circuit 34 does not output a reference clock C_{REF}. However, a PLL circuit 37 continues to hold the reproduction sampling clock signal fs generated based on the reference clock C_{REF} generated before the bus reset, thus the data stored before the bus reset is processed according to the sampling clock signal fs.

[0178] On the other hand, a cycle start packet extraction section 31 extracts a new cycle start packet CS and supplies the cycle start packet CS to a cycle timer 33. The SYT extraction section 36 extracts a new SYT and supplies the SYT to the match detection circuit 34.

[0179] The cycle timer 33 counts 24.576 MHz clock signal from the time value indicated in the cycle start packet CS supplied after the bus reset and supplies cycle time Tc to the match detection circuit 34.

[0180] The match detection circuit 34 compares the cycle time Tc supplied from the cycle timer 33 with the SYT supplied from the SYT extraction section 36 at step S214. If the time values match, the match detection circuit 34 generates a reproduction reference clock signal C_{REF}.

[0181] If the cycle time Ct and the SYT do not match at step S214, control goes to step S213 at which processing of the data stored in the reception buffer 35 is continued in synchronization with the reproduction sampling clock signal fs phase-synchronized with the reference clock C_{REF} generated before the bus reset. On the other hand, if the cycle time Ct and the SYT match, the data stored in the reception buffer 35 is processed at step S215 in synchronization with the reproduction sampling clock signal fs phase-synchronized with the reproduction reference clock signal C_{REF} when the time values match.

[0182] After usual reproduction processing is restarted at step S215, whether or not bus reset occurs is checked.

[0183] If bus reset does not occur at step S211, the usual operation is repeated until bus reset occurs.

[0184] Thus, in the third embodiment, all the data in the buffer in the SYT extraction section 36 is cleared, the data stored just before the bus reset is processed according to the reproduction sampling clock signal fs generated before the bus reset, and the data after the bus reset is processed as usual. Therefore, even if the time information before the bus reset differs from that after the bus reset, normal processing is performed.

[0185] In the third embodiment, the data stored before the bus reset and that stored after the bus reset are processed normally without losing the data before and after the bus reset.

[0186] (Fourth Embodiment)

[0187] A fourth embodiment of the invention corresponds to the method of (4) described above. After bus reset occurs, the data stored before the bus reset is processed using dummy SYT or a dummy reference clock and after all the data stored before the bus reset has been processed, usual processing is performed using SYT or a reference clock after the bus reset.

[0188] The embodiment provides two methods, which will be discussed in detail as first and second methods of the fourth embodiment.

[0189] (First Method of Fourth Embodiment)

[0190] The first method of the fourth embodiment is a method of generating dummy SYT.

[0191] FIG. 22 is a drawing to schematically show the first method of the fourth embodiment.

[0192] That is, before bus reset occurs, transmission and reception are executed at cycle time CT=X, thus SYTs of x20 and x21 are stored in a buffer in an SYT extraction section 36.

[0193] After this, when bus reset occurs and the cycle time on a bus becomes CT=Y, the SYT extraction section 36 inputs new SYT.

[0194] After input of new SYTs, SYTs at cycle time CT=Y are stored in the buffer in the SYT extraction section 36 as y0, y1, y2, y3

[0195] On the other hand, a dummy SYT generation circuit 41 generates x20' and x21' of dummy SYTs corresponding to SYTs of x20 and x21 after the bus reset occurs, and supplies x20' and x21' to a selection circuit 42, which then changes SYT from SYTs of the SYT extraction section 36 to the dummy SYTs of the dummy SYT generation circuit 41 in response to the bus reset signal, and supplies the dummy SYTs to a match detection circuit 34.

[0196] Upon completion of output of the dummy SYTs, again normal SYTs are supplied to the match detection circuit 34.

[0197] Thus, in the first method of the fourth embodiment, after the bus reset, the data stored before the bus reset is processed using dummy SYT and after all the data stored before the bus reset has been processed, usual processing is performed using SYT after the bus reset.

[0198] FIG. 23 is a flowchart to show the receiver state described above. FIG. 24 is a block diagram provided by extracting the portion related to the fourth embodiment from the block diagram of FIG. 11. Circuit parts identical with or similar to those previously described with reference to FIG. 11 are denoted by the same reference numerals in FIG. 24 and will not be discussed again.

[0199] The fourth embodiment further includes a subtraction circuit 40, the dummy SYT generation circuit 41, and the selection circuit 42.

[0200] The subtraction circuit 40 receives SYTs from an SYT extraction section 36, calculates a difference between the preceding and following SYTs according to a calculation expression described later, and supplies the difference to the dummy SYT generation circuit 41 as the time difference (D).

[0201] The dummy SYT generation circuit 41 receives the time difference (D) and receives SYT from the SYT extraction section 36. It uses the time difference (D) and the SYT from the SYT extraction section 36 to generate a dummy SYT according to a calculation expression described later and supplies the dummy SYT to the selection circuit 42.

[0202] The selection circuit 42 selectively supplies the SYT from the SYT extraction section 36 or the dummy SYT from the dummy SYT generation circuit 41 to the match detection circuit 34.

[0203] The first method of the fourth embodiment will be discussed specifically with reference to FIGS. 23 and 24.

[0204] First, in a state in which usual operation is performed as previously described in the first embodiment, if bus reset occurs at step S231 because of connection of a new device or disconnection of an existing device, a control section 39 receives a bus reset signal. After this, the control section 39 sends a control signal to the SYT extraction section 36 so as to check Buffer Size in the buffer.

[0205] Upon reception of the control signal, the SYT extraction section 36 checks Buffer Size in the buffer and returns the Buffer Size to the control section 39 at step S232.

[0206] The Buffer Size is a value of counting the number of SYTs stored in the buffer in the SYT extraction section 36 when bus reset occurs. For example, if two SYTs (x20 and x21) are stored before bus reset as shown in FIG. 22, Buffer Size is set to 2.

[0207] The control section 39 also sends a change signal to the selection circuit 42.

[0208] Upon reception of the change signal, the selection circuit 42 changes the SYT to be supplied to the match detection circuit 34 to the dummy SYT supplied from the dummy SYT generation circuit 41 at step S233.

[0209] The control section 39 counts, at step S235, the number of times the match detection circuit 34 has found a match between the SYT from the selection circuit 42 and the cycle time from a cycle timer 33 after the bus reset at step S234. If the count exceeds the Buffer Size at step S236, the control section 39 sends again a change signal to the selection circuit 42.

[0210] This means that the change signal is transmitted if count>2, for example, in FIG. 22.

[0211] Upon reception of the change signal, the selection circuit 42 changes the SYT to be transmitted to the match detection circuit 34 to normal SYT at step S237.

[0212] On the other hand, if the count is not greater than the Buffer Size at step S236, control goes to step S234 and steps S234 to S236 are repeated.

[0213] After usual reproduction processing is restarted at step S237, whether or not bus reset occurs is checked.

[0214] If bus reset does not occur at step S231, the usual operation is repeated until bus reset occurs.

[0215] Thus, in the first method of the fourth embodiment, dummy SYT is generated after the bus reset. Therefore, even if the time information before the bus reset differs from that after the bus reset, normal processing is performed.

[0216] The specific generation method of a dummy SYT is as follows:

[0217] In FIG. 24, SYT is always supplied to the subtraction circuit 40 and when bus reset occurs, the subtraction circuit 40 calculates the time difference between the SYT just before the bus reset (SYT at cycle time CT=X) and the SYT just after the bus reset (SYT at cycle time CT=Y) as the following expression (1), and supplies the time difference (D) to the dummy SYT generation circuit 41.

$$\text{Time difference (D)} = (\text{SYT just before bus reset}) - (\text{SYT just after bus reset}) \quad (1)$$

[0218] The dummy SYT generation circuit 41 adds the time difference to the SYT at cycle time CT=X before the bus reset as the following expression (2), and supplies the dummy SYT to the selection circuit 42.

$$\text{dummy SYT} = (\text{SYT before bus reset}) + \text{time difference (D)} \quad (2)$$

[0219] Specifically, if bus reset occurs, for example, in a state in which SYTs at cycle time CT=X (x20 and x21) are stored in the buffer in the SYT extraction section 36 as shown in FIG. 22, the SYT extraction section 36 extracts SYT at CT=Y (y0), the next cycle time.

[0220] At this time, the subtraction circuit 40 subtracts x21 from y0 to find the time difference (D) and supplies the time difference (D) to the dummy SYT generation circuit 41.

[0221] The dummy SYT generation circuit 41 adds the time difference (D) to the SYTs at cycle time CT=X (x20 and x21) transmitted from the SYT extraction section 36 to generate dummy SYTs (x20' and x21') and supplies the dummy SYTs to the selection circuit 42.

[0222] The dummy SYTs are thus generated.

[0223] In the first method of the fourth embodiment, the selection circuit 42 changes SYT to be supplied to the match detection circuit 34 based on Buffer Size in the buffer in the SYT extraction section 36, but it can also change SYT based on Buffer Size in a reception buffer 35. How to find the Buffer Size is not limited to that in the fourth embodiment; any other method may be adopted if the data amount in the buffer can be found. The SYT extraction section 36 determines whether each SYT is an SYT stored before or after bus reset as described later in a fifth embodiment of the invention, and the selection circuit 42 can also change SYT to be supplied to the match detection circuit 34 based on the determination result.

[0224] The time difference (D) can also be transmitted to the cycle timer 33 to generate a dummy cycle time. At the time, the time difference (D) may be subtracted from the cycle time after bus reset.

[0225] (Second Method of Fourth Embodiment)

[0226] Next, the second method of the fourth embodiment is a method of generating a dummy reproduction reference clock signal C_{REF} .

[0227] FIG. 25 is a drawing to schematically show the second method of the fourth embodiment.

[0228] That is, before bus reset occurs, transmission and reception are executed at cycle time CT=X, thus SYTs of x20 and x21 are stored in the buffer in the SYT extraction section 36.

[0229] After this, when bus reset occurs and the cycle time on the bus becomes $CT=Y$, the SYT extraction section 36 inputs new SYT.

[0230] After input of new SYTs, SYTs at cycle time $CT=Y$ are stored in the buffer in the SYT extraction section 36 as $y0, y1, y2, y3, \dots$

[0231] On the other hand, a dummy reproduction reference clock signal C_{REF} generation circuit 43 generates dummy reproduction reference clock signal C_{REF} corresponding to SYTs of $x20$ and $x21$ after the bus reset occurs, and sends the dummy reproduction reference clock signal C_{REF} to a selection circuit 44, which then changes the clock signal from reproduction reference clock signal C_{REF} from the match detection circuit 34 to the dummy reproduction reference clock signal C_{REF} from the dummy reproduction reference clock signal C_{REF} generation circuit 43 in response to the bus reset signal, and supplies the dummy reproduction reference clock signal C_{REF} to a PLL circuit 37.

[0232] After completion of processing of the data stored before the bus reset, again the reproduction reference clock signal C_{REF} from the match detection circuit 34 is output to the PLL circuit 37.

[0233] The SYTs stored before the bus reset are deleted as described later.

[0234] Thus, in the second method of the fourth embodiment, after the bus reset, the data stored before the bus reset is processed using dummy reference clock and after all the data stored before the bus reset has been processed, processing is performed using reference clock after the bus reset.

[0235] FIG. 26 is a flowchart to show the receiver state described above. FIG. 27 is a block diagram provided by extracting the portion related to the fourth embodiment from the block diagram of FIG. 11. Circuit parts identical with or similar to those previously described with reference to FIG. 11 are denoted by the same reference numerals in FIG. 27 and will not be discussed again.

[0236] The fourth embodiment further includes the dummy reproduction reference clock signal C_{REF} generation circuit 43 and the selection circuit 44.

[0237] The dummy reproduction reference clock signal C_{REF} generation circuit 43 receives a reproduction reference clock signal C_{REF} from the match detection circuit 34, generates a dummy reproduction reference clock signal C_{REF} by a method described later from the reproduction reference clock signal C_{REF} , and supplies the dummy reproduction reference clock signal C_{REF} to the selection circuit 44.

[0238] The selection circuit 44 selectively supplies the reproduction reference clock signal C_{REF} from the match detection circuit 34 or the dummy reproduction reference clock signal C_{REF} from the dummy reproduction reference clock signal C_{REF} generation circuit 43 to the PLL circuit 37.

[0239] The second method of the fourth embodiment will be discussed specifically with reference to FIGS. 26 and 27.

[0240] First, in a state in which usual operation is performed as previously described in the first embodiment, if

bus reset occurs at step S261 because of connection of a new device or disconnection of an existing device, the control section 39 receives a bus reset signal. After this, the control section 39 sends a control signal to the SYT extraction section 36 so as to check Buffer Size in the buffer.

[0241] Upon reception of the control signal, the SYT extraction section 36 checks Buffer Size in the buffer and returns the Buffer Size to the control section 39 at step S262.

[0242] After this, all SYTs in the buffer are deleted.

[0243] The Buffer Size is the same as that previously described in the first method.

[0244] The control section 39 also sends a change signal to the selection circuit 44.

[0245] Upon reception of the change signal, the selection circuit 44 changes the reproduction reference clock signal to be supplied to the PLL circuit 37 to the dummy reproduction reference clock signal C_{REF} from the dummy reproduction reference clock signal C_{REF} generation circuit 43 at step S263.

[0246] At this time, SYT after the bus reset is supplied to the match detection circuit 34, thus the match detection circuit 34 does not output for a while. Therefore, during the time, the dummy reproduction reference clock signal C_{REF} from the dummy reproduction reference clock signal C_{REF} generation circuit 43 is supplied to the selection circuit 44.

[0247] The control section 39 counts the number of the rising edges of the dummy reproduction reference clock signal C_{REF} supplied to the selection circuit 44 at step S265. If the count becomes equal to or greater than the Buffer Size at step S265, the control section 39 transmits a change signal to the selection circuit 44.

[0248] Upon reception of the change signal, the selection circuit 44 again changes the reproduction reference clock signal to be supplied to the PLL circuit 37 to the normal reproduction reference clock signal C_{REF} at step S266.

[0249] On the other hand, if the count of the rising edges of the dummy reproduction reference clock signal C_{REF} does not become equal to or greater than the Buffer Size at step S265, control goes to step S264 and counting the number of the rising edges of the dummy reproduction reference clock signal C_{REF} is continued.

[0250] After usual reproduction processing is performed at step S266, whether or not bus reset occurs is checked.

[0251] If bus reset does not occur at step S261, the usual operation is repeated until bus reset occurs.

[0252] Thus, in the second method of the fourth embodiment, a dummy reproduction reference clock signal C_{REF} is generated after the bus reset, the data stored before the bus reset is processed using the dummy reproduction reference clock signal C_{REF} , and after all the data stored before the bus reset has been processed, processing is performed using the reproduction reference clock signal C_{REF} after the bus reset. Therefore, even if the time information before the bus reset differs from that after the bus reset, normal processing is performed.

[0253] The specific generation method of the dummy reproduction reference clock signal C_{REF} is as follows:

[0254] In FIG. 27, the dummy reproduction reference clock signal C_{REF} generation circuit 43 counts the rising edges of clock periods (FIG. 28) of reproduction reference clock signal C_{REF} generated in the match detection circuit 34 and timings by a counter (not shown) and stores the clock period in a buffer (not shown) in the dummy reproduction reference clock signal C_{REF} generation circuit 43.

[0255] In the example shown in FIG. 28, the clock period (T) is stored in the buffer.

[0256] Since the counter value is stored in the buffer on the rising edge of the reference clock and then the next period (T) is counted, the counter is adapted to clear the count value and again continue the count operation.

[0257] When bus reset occurs in the above-described state, the dummy reproduction reference clock signal C_{REF} , generation circuit 43 generates a dummy reproduction reference clock signal C_{REF} based on the period stored in the buffer, such as the period (T), and supplies the dummy reproduction reference clock signal C_{REF} to the selection circuit 44.

[0258] The dummy reproduction reference clock signal C_{REF} is thus generated.

[0259] In the second method of the fourth embodiment, the selection circuit 44 changes the reproduction reference clock signal to be supplied to the PLL circuit 37 based on Buffer Size in the buffer in the SYT extraction section 36, but it can also change the reproduction reference clock signal based on Buffer Size in the reception buffer 35. How to find the Buffer Size is not limited to that in the fourth embodiment; any other method may be adopted if the data amount in the buffer can be found. The SYT extraction section 36 determines whether each SYT is an SYT stored before or after bus reset as described later in the fifth embodiment of the invention, and the selection circuit 44 can also change based on the determination result.

[0260] As described above, in the first and second methods of the fourth embodiment, the data stored before the bus reset and that stored after the bus reset are processed normally without losing the data before and after the bus reset.

[0261] (Fifth Embodiment)

[0262] FIGS. 29A and 29B are drawings to schematically show the method of (5) described above.

[0263] The buffer state in an SYT extraction section 36 in FIGS. 29A and 29B is the same as that in the first embodiment. FIG. 29A shows the state of a buffer in the SYT extraction section 36 just after bus reset in a receiving party operating at cycle time $CT=X$ and FIG. 29B shows the buffer state after the method (5) is executed.

[0264] That is, since transmission and reception are executed at cycle time $CT=X$ before bus reset, SYTs of $x20$, $x21$, and $x22$ are stored in the buffer in the SYT extraction section 36 (FIG. 29A).

[0265] After this, if bus reset occurs and the cycle time on the bus becomes $CT=Y$, the SYT extraction section 36 inputs new SYT as usual.

[0266] After input of new SYTs, SYTs at cycle time $CT=X$ and SYTs at cycle time $CT=Y$ are stored as $x20$, $x21$, and $x22$ and $y0$, $y1$, $y2$, $y3$. . . in the buffer in the SYT extraction section 36 (FIG. 29B).

[0267] A difference between the preceding and following SYTs is calculated in the buffer and whether each SYT is an SYT stored before or after bus reset is determined according to the difference. Based on the determination result, demodulation processing is performed at cycle time $CT=X$ for the data stored before bus reset; demodulation processing is performed at cycle time $CT=Y$ for the data stored after bus reset.

[0268] Thus, in the fifth embodiment, demodulation processing is performed at cycle time $CT=X$ for the data stored before bus reset and demodulation processing is performed at cycle time $CT=Y$ for the data stored after bus reset.

[0269] FIG. 30 is a flowchart to show the receiver state described above. FIG. 31 is a block diagram provided by extracting the portion related to the fifth embodiment from the block diagram of FIG. 11. Circuit parts identical with or similar to those previously described with reference to FIG. 11 are denoted by the same reference numerals in FIG. 31 and will not be discussed again.

[0270] The fifth embodiment further includes a subtraction circuit 45 and a determination circuit 46. A cycle timer 33 has two registers for temporarily retaining data.

[0271] The subtraction circuit 45 receives SYTs from the SYT extraction section 36, calculates a difference between the preceding and following SYTs according to a calculation expression described later, and supplies the time difference to the determination circuit 46 as the time difference (D).

[0272] The determination circuit 46 receives the time difference (D) from the subtraction circuit 45, determines whether each SYT is an SYT stored before or after bus reset by a method described later based on the time difference (D), and supplies the determination result to a control section 39.

[0273] The specific method of the fifth embodiment will be discussed with reference to FIGS. 30 and 31.

[0274] First, in a state in which data is transmitted and received on a bus 15 by at least two nodes, a cycle start packet extraction section 31 extracts a data packet from the bus 15 and supplies extracted cycle start packet CS to the cycle timer 33, which then sets the cycle time indicated in the cycle start packet CS in a register 1, for example, generates cycle time of the home device based on the setup cycle time, and supplies the generated cycle time to a match detection circuit 34.

[0275] On the other hand, a data packet extraction section 32 extracts an isochronous packet on the bus 15 and feeds data in the packet into a reception buffer 35. The SYT extraction section 36 extracts SYT contained in a CIP header in the isochronous packet.

[0276] The subtraction circuit 45 calculates a time difference (D) between the extracted SYTs according to the calculation expression described later, and supplies the time difference (D) to the determination circuit 46.

[0277] The determination circuit 46 receives the time difference (D) from the subtraction circuit 45, determines whether the SYT is an SYT stored before or after bus reset

by the method described later based on the time difference (D), and supplies the determination result to the control section 39.

[0278] After this, data demodulation processing is performed in data reception processing described above.

[0279] If bus reset occurs at step S301 because of connection of a new device or disconnection of an existing device while data is being transferred, the control section 39 receives a bus reset signal. After this, the control section 39 transmits a control signal to the cycle timer 33 for instructing the cycle timer 33 to store a new cycle time in another register. Upon reception of the control-signal, the cycle timer 33 writes a new cycle time into a second register 2, for example.

[0280] At this time, the cycle timer 33 generates the cycle time of the home device based on the cycle time stored in the register 1 and continues to supply the value of the generated cycle time to the match detection circuit 34.

[0281] The match detection circuit 34 uses the cycle time from the cycle timer 33 and SYT supplied from the SYT extraction section 36 to generate a reproduction reference clock signal C_{REF} .

[0282] On the other hand, the subtraction circuit 45 receives SYTs from the SYT extraction section 36, calculates a time difference between the received SYTs, and transmits the time difference to the determination circuit 46 at step S302.

[0283] The determination circuit 46 stores the time difference supplied from the subtraction circuit 45 and compares the time difference with the preceding time difference to determine whether or not the difference value between the time differences is within a predetermined range described later at step S303. If the value is within the predetermined range, usual processing is continued.

[0284] On the other hand, if the value is outside the predetermined range, the determination circuit 46 transmits a control signal to the control section 39.

[0285] Upon reception of the control signal, the control section 39 transmits a control signal to the cycle timer 33 for instructing the cycle timer 33 to rewrite cycle time. Upon reception of the control signal, the cycle timer 33 rewrites the cycle time stored in the register 2 into the register 1 at step S304, generates the cycle time of the home device based on the cycle time, and supplies the generated cycle time to the match detection circuit 34.

[0286] After the cycle time rewrite is executed at step S304, usual operation is repeated until bus reset occurs.

[0287] If bus reset does not occur at step S301, usual operation is also repeated until bus reset occurs.

[0288] Thus, in the fifth embodiment, two or more registers for reflecting the cycle times before and after bus reset are provided in the receiving party. After the bus reset, the data stored before the bus reset is processed using the cycle time before the bus reset and after the data stored before the bus reset has been all processed, usual processing is performed using the cycle time after the bus reset, so that data demodulation is executed without losing data.

[0289] The specific calculation method of the subtraction circuit 45 for calculating the time difference (D) between SYTs and the determination method of the determination circuit 46 are as follows:

[0290] The SYTs shown in FIG. 29B are supplied from the SYT subtraction section 36 to the subtraction circuit 45, which then uses the SYTs to calculate the time difference (D) as the following expression (3) and supplies the time difference (D) to the determination circuit 46.

$$\text{Time difference (D)} = \text{current SYT} - \text{immediately preceding SYT} \quad (3)$$

[0291] The determination circuit 46 detects the boundary between the SYT before bus reset and that after bus reset based on the time difference (D) and transmits the detection result to the control section 39. That is, the time difference (D) between the SYTs preceding and following the boundary differs from the time difference (D) between other SYTs, thus the SYTs between which the time difference (D) is found become the SYT before the bus reset and the SYT after the bus reset.

[0292] More specifically, in FIG. 29B, the subtraction circuit 45 calculates the time difference (D) as the following expressions (4) to (6):

$$\begin{aligned} \text{Time difference (D)} &= x21 - x20 \\ &= a \end{aligned} \quad (4)$$

$$\begin{aligned} \text{Time difference (D)} &= x22 - x21 \\ &= a \end{aligned} \quad (5)$$

$$\begin{aligned} \text{Time difference (D)} &= y0 - x22 \\ &= b \end{aligned} \quad (6)$$

[0293] At this time, the calculation results of (Expression 4) and (Expression 5) on the SYTs added when cycle time CT=X are each predetermined time difference (a). Just after bus reset, calculation is executed on SYT added when cycle time CT=X and SYT added when cycle time CT=Y. Thus, if the reference time before the bus reset differs from that after the bus reset, predetermined time difference (b) results. Therefore, the above-described boundary is detected by comparing the time difference values. In the example, the predetermined time difference calculated on the SYTs added when cycle time CT=X is (a); in fact, however, the time difference also contains a little jitter component α , and therefore if it is compared with any other time difference, it is advisable to adopt $a \pm \alpha$.

[0294] The SYT before the bus reset and that after the bus reset are thus determined.

[0295] In the fifth embodiment, register change in the cycle timer 33 is made based on the determination result of the determination circuit 46, but it can also be made based on Buffer Size in either or both of the SYT extraction section 36 and the reception buffer as described above.

[0296] Thus, in the invention, digital data sent by a transmitting party can be restored to a state in which it can be reproduced immediately at proper timing in a receiving party.

[0297] Although the non-blocking transfer method (in which conversion to a packet is executed in one Iso cycle

unit), one of transmission methods defined in A&M protocol, has been described, but the invention can also be applied to a blocking transfer method (in which conversion to a packet is executed in a predetermined number of sample units). It can also be applied at any other sampling frequency than 32 KHz.

[0298] In the invention, the time at which the reference time on the transmission bus changes is the time at which bus reset occurs. However, if bus reset does not occur, for example, when the cycle master node changes the reference time, the methods of the invention can be applied.

[0299] In the embodiments, predetermined data is reproduced by the reception interface circuit 12, 13 according to the invention; the data to be reproduced may be video data or voice data. In the embodiments, the operation performed when the reception interface circuit 12, 13 is adopted for the transmission system complying with the IEEE1394-1995 standard has been described, but applicable transmission systems are not limited to those complying with the IEEE1394-1995 standard.

[0300] In short, the invention may be applied to a reception interface unit in such a transmission system wherein time series data such as voice data or video data is divided into data groups and a data packet comprising reproduction specification time data (specifying the time at which each data piece in the data groups should be reproduced in a receiving party) added to the data groups is transmitted in a time division manner.

[0301] As was described above, in the invention, digital data sent by a transmitting party can be restored to a state in which it can be reproduced immediately at proper timing in a receiving party.

What is claimed is:

1. A reception interface unit in a transmission system wherein time series data is divided into data groups and a data packet including reproduction specification time data specifying a time at which each data piece in the data groups should be reproduced, added to the data groups is transmitted on a transmission bus in a time division manner, said reception interface unit comprising:

- a cycle timer for counting a reference time of a home device based on a reference time on the transmission bus;
- a reproduction specification time data extraction means for extracting the reproduction specification time data in the data groups from a signal received via the transmission bus and storing the reproduction specification time data in a buffer;
- a reception buffer for inputting and storing the data pieces in the data groups in order and reading out the data pieces in the storage order in response to a reproduction clock; and

recovery means for processing the signal received when the reference time of the home device does not match the reproduction specification time.

2. The reception interface unit as claimed in claim 1,

wherein the recovery means deletes all the data stored in the reproduction specification time data extraction

means and the reception buffer when the reference time on the transmission bus is changed.

3. The reception interface unit as claimed in claim 1,

wherein when the reference time on the transmission bus changes, the recovery means interrupts transmitting the data to the reception buffer until the data stored in the reception buffer before the change of the reference time is processed.

4. The reception interface unit as claimed in claim 1,

wherein the recovery means deletes all the reproduction specification time data stored in the buffer when the reference time on the transmission bus is changed.

5. The reception interface unit as claimed in claim 1,

wherein the recovery means process the data stored before the change of the reference time using a dummy reproduction specification time data when the reference time on the transmission bus is changed.

6. The reception interface unit as claimed in claim 1,

wherein the recovery means process the data stored before the change of the reference time using the reference time previously received before the change of the reference time, when the reference time on the transmission bus is changed.

7. The reception interface unit as claimed in claim 1,

wherein the recovery means receives a transmission bus reset signal if a new device is connected to the transmission bus while data is being transferred or if an existing device is disconnected from the transmission bus while data is being transferred.

8. The reception interface unit as claimed in claim 7,

wherein when the recovery means receives the transmission bus reset signal, the recovery means sends a control signal to said cycle timer instructing said cycle timer to store a new cycle time.

9. The reception interface unit as claimed in claim 1, wherein said cycle timer has a first register and a second register for temporarily storing data.

10. A reception interface unit in a transmission system wherein time series data is divided into data groups and a data packet including reproduction specification time data specifying a time at which each data piece in the data groups should be reproduced, added to the data groups is transmitted on a transmission bus in a time division manner, said reception interface unit comprising:

- a cycle timer which counts a reference time of a home device based on a reference time on the transmission bus;
- a reproduction specification time data extraction circuit which extracts the reproduction specification time data in the data groups from a signal received via the transmission bus and stores the reproduction specification time data in a buffer;
- a reception buffer which inputs and stores the data pieces in the data groups in order and reads out the data pieces in the storage order in response to a reproduction clock; and

a recovery circuit which processes the signal received when the reference time of the home device does not match the reproduction specification time.

11. The reception interface unit as claimed in claim 10, wherein the recovery circuit deletes all the data stored in the reproduction specification time data extraction circuit and the reception buffer when the reference time on the transmission bus is changed.

12. The reception interface unit as claimed in claim 10, wherein when the reference time on the transmission bus changes, the recovery circuit interrupts transmitting the data

to the reception buffer until the data stored in the reception buffer before the change of the reference time is processed.

13. The reception interface unit as claimed in claim 10, wherein the recovery circuit deletes all the reproduction specification time data stored in the buffer when the reference time on the transmission bus is changed.

14. The reception interface unit as claimed in claim 10, wherein the recovery circuit process the data stored before the change of the reference time using a dummy reproduction specification time data when the reference time on the transmission bus is changed.

15. The reception interface unit as claimed in claim 10, wherein the recovery circuit processes the data stored before the change of the reference time using the reference time previously received before the change of the reference time, when the reference time on the transmission bus is changed.

16. The reception interface unit as claimed in claim 10, wherein the recovery circuit receives a transmission bus reset signal if a new device is connected to the transmission bus while data is being transferred or if an existing device is disconnected from the transmission bus while data is being transferred.

17. The reception interface unit as claimed in claim 16, wherein when the recovery circuit receives the transmission bus reset signal, the recovery circuit sends a control signal to said cycle timer instructing said cycle timer to store a new cycle time.

18. The reception interface unit as claimed in claim 10, wherein said cycle timer has a first register and a second register for temporarily storing data.

* * * * *

特開平11-289320

(43) 公開日 平成11年(1999)10月19日

(51) Int.Cl. ⁴	識別記号	F I	
H 0 4 L 7/00		H 0 4 L 7/00	A
G 1 1 B 20/10		G 1 1 B 20/10	D
	3 5 1		3 5 1 Z
H 0 4 L 12/56		H 0 4 L 11/20	1 0 2 F
// H 0 4 L 12/40		11/00	3 2 0
審査請求 未請求 請求項の数12 F D (全 29 頁)			

(21) 出願番号 特願平10-108768

(22) 出願日 平成10年(1998) 4月 3日

(71) 出願人 000005016

パイオニア株式会社
東京都目黒区目黒1丁目4番1号

(72) 発明者 大野 欣哉

埼玉県鶴ヶ島市富士見6丁目1番1号 パ
イオニア株式会社総合研究所内

(72) 発明者 美濃島 邦宏

埼玉県鶴ヶ島市富士見6丁目1番1号 パ
イオニア株式会社総合研究所内

(72) 発明者 藤葉 英巳

埼玉県鶴ヶ島市富士見6丁目1番1号 パ
イオニア株式会社総合研究所内

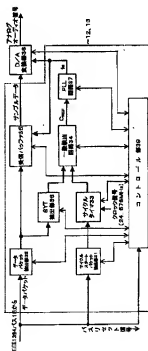
最終頁に続く

(54) 【発明の名称】 伝送システムにおける受信インターフェース装置

(57) 【要約】 (修正有)

【課題】 送信データを直ちに適切なタイミングで再生出力できる状態に戻り得る受信インターフェース装置を提供する。

【解決手段】 伝送バス上における基準時間に基づいて自機の基準時間を計数するサイクルタイマ33と、受信した信号のうちデータ群中の再生指定時間データを抽出しバッファ内に記憶する再生指定時間データ抽出手段32と、各データを順次取り込み再生クロックに応じて記憶した順に読み出す受信バッファ35と、自機の基準時間が再生指定時間と一致した時に基準クロックパルスが発生する一致検出手段34と、基準クロックパルスに位相同期したクロック信号を発生し再生クロックとするP L L回路37とを備え、伝送バス上の基準時間が変化した際に、各バッファ内に蓄積されている各データを全て削除する。



【特許請求の範囲】

【請求項1】 時系列データを複数のデータ群に分割して前記データ群中の各データを再生すべき時間を指定する再生指定時間データを前記データ群に付加してなるデータパケットを伝送パス上に時分割伝送する伝送システムにおける受信インターフェース装置であって、前記伝送パス上における基準時間に基づいて自機の基準時間を計数するサイクルタイマと、前記伝送パスを介して受信した信号のうち前記データ群中の前記再生指定時間データを抽出しバッファ内に記憶する再生指定時間データ抽出手段と、前記データ群中の各データを順次取り込んで記憶して行きこれを再生クロックに応じて記憶した順に読み出す受信バッファと、前記自機の基準時間が前記再生指定時間と一致した時に基準クロックパルスを発生する一致検出手段と、前記基準クロックパルスに応じて該基準クロックパルスに位相同期したクロック信号を発生しこれを前記再生クロックとするPLL回路とを備え、前記伝送パス上の基準時間が変化した際に、前記再生指定時間データ抽出手段及び前記受信バッファの各バッファ内に蓄積されている各データを全て削除することと特徴とする伝送システムにおける受信インターフェース装置。

【請求項2】 時系列データを複数のデータ群に分割して前記データ群中の各データを再生すべき時間を指定する再生指定時間データを前記データ群に付加してなるデータパケットを伝送パス上に時分割伝送する伝送システムにおける受信インターフェース装置であって、前記伝送パス上における基準時間に基づいて自機の基準時間を計数し、前記伝送パス上の基準時間変化前後の2つの基準時間を一時的に記憶する少なくとも2つのレジスタを有するサイクルタイマと、前記伝送パスを介して受信した信号のうち前記データ群中の前記再生指定時間データを抽出し記憶する再生指定時間データ抽出手段と、前記データ群中の各データを順次取り込んで記憶して行きこれを再生クロックに応じて記憶した順に読み出す受信バッファと、前記自機の基準時間が前記再生指定時間と一致した時に基準クロックパルスを発生する一致検出手段と、前記基準クロックパルスに応じて該基準クロックパルスに位相同期したクロック信号を発生しこれを前記再生クロックとするPLL回路とを備え、前記再生指定時間データ抽出手段及び／又は前記受信バッファは、当該バッファ内の前記伝送パス上の基準時間変化前のデータが全て空になった時に制御信号を出力し、前記再生指定時間データ抽出手段及び前記受信バッファは、前記伝送パス上の基準時間が変化した際に前記各デ

ータの書き込みを中断し、前記各バッファ内の前記伝送パス上の基準時間変化前のデータが全て空になった時に前記各データの書き込みを再開し、

前記サイクルタイマは、前記制御信号に基づいて、前記伝送パス上の基準時間変化前の自機の基準時間から基準時間変化後の自機の基準時間に切換えて当該自機の基準時間を一致検出回路に出力することを特徴とする伝送システムにおける受信インターフェース装置。

【請求項3】 時系列データを複数のデータ群に分割して前記データ群中の各データを再生すべき時間を指定する再生指定時間データを前記データ群に付加してなるデータパケットを伝送パス上に時分割伝送する伝送システムにおける受信インターフェース装置であって、前記伝送パス上における基準時間に基づいて自機の基準時間を計数するサイクルタイマと、前記伝送パスを介して受信した信号のうち前記データ群中の前記再生指定時間データを抽出しバッファ内に記憶する再生指定時間データ抽出手段と、前記データ群中の各データを順次取り込んで記憶して行きこれを再生クロックに応じて記憶した順に読み出す受信バッファと、

前記自機の基準時間が前記再生指定時間と一致した時に基準クロックパルスを発生する一致検出手段と、前記基準クロックパルスに応じて該基準クロックパルスに位相同期したクロック信号を発生しこれを前記再生クロックとするPLL回路とを備え、前記再生指定時間データ抽出手段は、前記伝送パス上の基準時間が変化した際に、当該バッファ内に蓄積されている再生指定時間データを全て削除することと特徴とする伝送システムにおける受信インターフェース装置。

【請求項4】 時系列データを複数のデータ群に分割して前記データ群中の各データを再生すべき時間を指定する再生指定時間データを前記データ群に付加してなるデータパケットを伝送パス上に時分割伝送する伝送システムにおける受信インターフェース装置であって、前記伝送パス上における基準時間に基づいて自機の基準時間を計数するサイクルタイマと、前記伝送パスを介して受信した信号のうち前記データ群中の前記再生指定時間データを抽出しバッファ内に記憶する再生指定時間データ抽出手段と、前記再生指定時間データ抽出手段によって抽出された再生指定時間データからゲームの再生指定時間を生成するゲーム再生指定時間データ生成手段と、前記再生指定時間データ抽出手段からの再生指定時間データと前記ゲーム再生指定時間データ生成手段からのゲーム再生指定時間データのどちらか一方を選択的に出力する選択手段と、前記データ群中の各データを順次取り込んで記憶して行きこれを再生クロックに応じて記憶した順に読み出す受信バッファと、

前記自機の基準時間が前記選択手段から出力される再生指定時間と一致した時に基準クロックパルスを発生する一致検出手段と、

前記基準クロックパルスに応じて該基準クロックパルスに位相同期したクロック信号を発生しこれを前記再生クロックとするPLL回路とを備え、

前記選択手段は、前記伝送パス上の基準時間が変化する前は、前記再生指定時間データ抽出手段からの再生指定時間データを選択し、前記伝送パス上の基準時間が変化した後は、前記ダミー再生指定時間データ生成手段からのダミー再生指定時間データを選択するように切り換えることを特徴とする伝送システムにおける受信インターフェース装置。

【請求項5】 前記受信インターフェース装置は、前記伝送パス上の基準時間変化直前に前記再生指定時間データ抽出手段にて抽出された再生指定時間データと基準時間変化直後に前記再生指定時間データ抽出手段にて抽出された再生指定時間データとを減算し、その時間差をダミー再生指定時間データ生成手段に出力する減算手段をさらに有し、

前記ダミー再生指定時間データ生成手段は、前記伝送パス上の基準時間が変化した際に、前記時間差を前記基準時間変化前に前記再生指定時間データ抽出手段内のバッファに蓄積されていた再生指定時間データに加えてダミーの再生指定時間データを生成することを特徴とする請求項4に記載の伝送システムにおける受信インターフェース装置。

【請求項6】 前記再生指定時間データ抽出手段及び／又は前記受信バッファは、当該バッファ内の前記伝送パス上の基準時間変化前のデータが全て空になった時に制御信号を出力し、

前記選択手段は、前記制御信号に基づいて、前記再生指定時間データ抽出手段からの再生指定時間データを選択するように切り換えることを特徴とする請求項4乃至5のいずれか一項に記載の伝送システムにおける受信インターフェース装置。

【請求項7】 時系列データを複数のデータ群に分割して前記データ群中の各データを再生すべき時間を指定する再生指定時間データを前記データ群に付加してなるデータパケットを伝送パス上に時分割伝送する伝送システムにおける受信インターフェース装置であって、

前記伝送パス上における基準時間に基づいて自機の基準時間を計数するサイクルタイマと、

前記伝送パスを介して受信した信号のうち前記データ群中の前記再生指定時間データを抽出しバッファ内に記憶する再生指定時間データ抽出手段と、

前記データ群中の各データを順次取り込んで記憶して行きこれを再生クロックに応じて記憶した順に読み出す受信バッファと、

前記自機の基準時間が前記再生指定時間と一致した時に

基準クロックパルスを発生する一致検出手段と、
前記基準クロックパルスの周期に基づいてダミー基準クロックパルスを生成するダミー基準クロックパルス生成手段と、

前記ダミー基準クロックパルス生成手段からのダミー基準クロックパルスと一致検出手段からの基準クロックパルスとのどちらか一方を選択的に出力する選択手段と、
前記基準クロックパルスに応じて該基準クロックパルスに位相同期したクロック信号を発生しこれを前記再生クロックとするPLL回路とを備え、

前記選択手段は、前記伝送パス上の基準時間が変化する前は、前記一致検出手段からの基準クロックパルスを選択し、前記伝送パス上の基準時間が変化した後は、前記ダミー基準クロックパルス生成手段からのダミー基準クロックパルスを選択するように切り換えることを特徴とする伝送システムにおける受信インターフェース装置。

【請求項8】 前記ダミー基準クロックパルス生成手段はカウンタを有し、当該カウンタにより前記基準クロックパルスの周期を計測し、当該計測値に基づいてダミー基準クロックパルスを生成することを特徴とする請求項7に記載の伝送システムにおける受信インターフェース装置。

【請求項9】 前記再生指定時間データ抽出手段及び／又は前記受信バッファは、当該バッファ内の前記伝送パス上の基準時間変化前のデータが全て空になった時に制御信号を出力し、
前記選択手段は、前記制御信号に基づいて、前記一致検出手段からの基準クロックパルスを選択するように切り換えることを特徴とする請求項7乃至8のいずれか一項に記載の伝送システムにおける受信インターフェース装置。

【請求項10】 時系列データを複数のデータ群に分割して前記データ群中の各データを再生すべき時間を指定する再生指定時間データを前記データ群に付加してなるデータパケットを伝送パス上に時分割伝送する伝送システムにおける受信インターフェース装置であって、
前記伝送パス上における基準時間に基づいて自機の基準時間を計数し、前記伝送パス上の基準時間変化前と後の2つの基準時間を一時的に記憶する少なくとも2つのレジスタを有するサイクルタイマと、
前記伝送パスを介して受信した信号のうち前記データ群中の前記再生指定時間データを抽出し記憶する再生指定時間データ抽出手段と、

前記データ群中の各データを順次取り込んで記憶して行きこれを再生クロックに応じて記憶した順に読み出す受信バッファと、

前記自機の基準時間が前記再生指定時間と一致した時に基準クロックパルスを発生する一致検出手段と、
前記基準クロックパルスに応じて該基準クロックパルスに位相同期したクロック信号を発生しこれを前記再生ク

ロックとするPLL回路とを備え、前記サイクルタイムは、前記伝送バス上の基準時間変化前に前記再生指定時間データ抽出手段及び前記受信バッファに蓄積されたデータに対しては前記伝送バス上の基準時間変化前に記憶された自機の基準時間を出し、前記伝送バス上の基準時間変化後に前記再生指定時間データ抽出手段及び前記受信バッファに蓄積されたデータに対しては前記伝送バス上の基準時間変化後に記憶された自機の基準時間を出し、これを特徴とする伝送システムにおける受信インターフェース装置。

【請求項11】 前記受信インターフェース装置は、前記再生指定時間データ抽出手段から出力される再生指定時間データと一つ前に前記再生指定時間データ抽出手段から出力される再生指定時間データとの時間差を減算する減算手段と、

前記減算手段からの前記時間差に基づいて、前記伝送バス上の基準時間変化後の再生指定時間データを基準時間変化後の再生指定時間データかを判定する判定回路とをさらに備え、

前記サイクルタイムは、前記判定回路の判定結果に応じて前記伝送バス上の基準時間変化前の自機の基準時間と前記伝送バス上の基準時間変化後の自機の基準時間とを選択的に一致検出回路に出力することを特徴とする請求項10に記載の伝送システムにおける受信インターフェース装置。

【請求項12】 前記再生指定時間データ抽出手段及び／又は前記受信バッファは、当該バッファ内の前記伝送バス上の基準時間変化前のデータが全て空になった時に制御信号を出力し、

前記サイクルタイムは、前記制御信号に基づいて、前記伝送バス上の基準時間変化前の自機の基準時間と前記伝送バス上の基準時間変化後の自機の基準時間とを選択的に一致検出回路に出力することを特徴とする請求項11に記載の伝送システムにおける受信インターフェース装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、時系列を有するのデジタルデータをデータパケット化して高速転送する伝送システムにおける受信インターフェース装置に関するものである。

【0002】

【従来の技術】オーディオ機器、ビデオ機器、コンピュータ等の電気機器間でオーディオ信号やビデオ信号等の時系列を有するデジタルデータをデータパケットにて高速転送するためのインターフェース規格としてIEEE1394-1995規格が提案されている。

【0003】

【発明が解決しようとする課題】しかしながら、1394-1995規格に基づくデータ転送装置においては、

当該系の基準時間の変更や、誤動作等の要因などにより、受信側では受け取ったデジタルデータをかなりの期間に亘って適正なタイミングで再生できない場合が生じると考えられる。

【0004】そこで、本発明の目的は、送信側が送出したデジタルデータを、受信側では直ちに適切なタイミングで再生出力できる状態にすることができ、伝送システムにおける受信インターフェース装置を提供することを目的とする。

【0005】

【課題を解決するための手段】請求項1に記載の発明は、時系列データを複数のデータ群に分割してデータ群中の各データを再生すべき時間を指定する再生指定時間データをデータ群に付加してなるデータパケットを伝送バス上に時分割伝送する伝送システムにおける受信インターフェース装置であって、伝送バス上における基準時間に基づいて自機の基準時間を数値するサイクルタイムと、伝送バスを介して受信した信号のうちデータ群中の再生指定時間データを抽出しバッファ内に記憶する再生指定時間データ抽出手段と、データ群中の各データを順次取り込んで記憶して行きこれを再生クロックに応じて記憶した順に読み出す受信バッファと、自機の基準時間が再生指定時間と一致した時に基準クロックパルスが発生する一致検出手段と、基準クロックパルスに応じて該基準クロックパルスに位相同期したクロック信号を発生しこれを再生クロックとするPLL回路とを備え、伝送バス上の基準時間が変化した際に、再生指定時間データ抽出手段及び受信バッファの各バッファ内に蓄積されている各データを全て削除することを特徴とする。

【0006】請求項2に記載の発明は、時系列データを複数のデータ群に分割してデータ群中の各データを再生すべき時間を指定する再生指定時間データをデータ群に付加してなるデータパケットを伝送バス上に時分割伝送する伝送システムにおける受信インターフェース装置であって、伝送バス上における基準時間に基づいて自機の基準時間を数値し、伝送バス上の基準時間変化前と後の2つの基準時間を一時的に記憶する少なくとも2つのレジスタを有するサイクルタイムと、伝送バスを介して受信した信号のうちデータ群中の再生指定時間データを抽出し記憶する再生指定時間データ抽出手段と、データ群中の各データを順次取り込んで記憶して行きこれを再生クロックに応じて記憶した順に読み出す受信バッファと、自機の基準時間が再生指定時間と一致した時に基準クロックパルスが発生する一致検出手段と、基準クロックパルスに応じて該基準クロックパルスに位相同期したクロック信号を発生しこれを前記再生クロックとするPLL回路とを備え、再生指定時間データ抽出手段及び／又は受信バッファは、当該バッファ内の伝送バス上の基準時間変化前のデータが全て空になった時に制御信号を出力し、再生指定時間データ抽出手段及び受信バッファ

は、伝送バス上の基準時間が変化した際に各データの書き込みを中断し、当該バッファ内の伝送バス上の基準時間変化前のデータが全て空になった時に各データの書き込みを再開し、サイクルタイムは、制御信号に基づいて、伝送バス上の基準時間変化前の自機の基準時間から伝送バス上の基準時間変化後の自機の基準時間に切替えて当該自機の基準時間を一致検出回路に出力することを特徴とする。

【0007】請求項3に記載の発明は、時系列データを複数のデータ群に分割してデータ群中の各データを再生すべき時間を指定する再生指定時間データをデータ群に付加してなるデータパケットを伝送バス上に時分割伝送する伝送システムにおける受信インターフェース装置であって、伝送バス上における基準時間に基づいて基準時間を計数するサイクルタイムと、伝送バスを介して受信した信号のうちデータ群中の再生指定時間データを抽出しバッファ内に記憶する再生指定時間データ抽出手段と、データ群中の各データを順次取り込んで記憶して行きこれを再生クロックに応じて記憶した順に読み出す受信バッファと、自機の基準時間が再生指定時間と一致した時に基準クロックパルスが発生する一致検出手段と、基準クロックパルスに応じて該基準クロックパルスに位相同期したクロック信号を発生しこれを再生クロックとするPLL回路とを備え、再生指定時間データ抽出手段は、伝送バス上の基準時間が変化した際に、当該バッファ内に蓄積されている再生指定時間データを全て削除することを特徴とする。

【0008】請求項4に記載の発明は、時系列データを複数のデータ群に分割してデータ群中の各データを再生すべき時間を指定する再生指定時間データをデータ群に付加してなるデータパケットを伝送バス上に時分割伝送する伝送システムにおける受信インターフェース装置であって、伝送バス上における基準時間に基づいて自機の基準時間を計数するサイクルタイムと、伝送バスを介して受信した信号のうちデータ群中の再生指定時間データを抽出しバッファ内に記憶する再生指定時間データ抽出手段と、再生指定時間データ抽出手段にて抽出された再生指定時間データからダミーの再生指定時間を生成するダミー再生指定時間データ生成手段と、再生指定時間データ抽出手段からの再生指定時間データとダミー再生指定時間データ生成手段からのダミー再生指定時間データのどちらか一方を選択的に出力する選択手段と、データ群中の各データを順次取り込んで記憶して行きこれを再生クロックに応じて記憶した順に読み出す受信バッファと、自機の基準時間が選択手段から出力される再生指定時間と一致した時に基準クロックパルスが発生する一致検出手段と、基準クロックパルスに応じて該基準クロックパルスに位相同期したクロック信号を発生しこれを再生クロックとするPLL回路とを備え、選択手段は、伝送バス上の基準時間が変化する前は、再生指定時

間データ抽出手段からの再生指定時間データを選択し、伝送バス上の基準時間が変化した後は、ダミー再生指定時間データ生成手段からのダミー再生指定時間データを選択するように切り換えることを特徴とする。

【0009】請求項5に記載の発明は、請求項4に記載の発明において、受信インターフェース装置は、伝送バス上の基準時間変化直前に再生指定時間データ抽出手段にて抽出された再生指定時間データと基準時間変化直後に再生指定時間データ抽出手段にて抽出された再生指定時間データとを減算し、その時間差をダミー再生指定時間データ生成手段に出力する減算手段さらに有し、ダミー再生指定時間データ生成手段は、伝送バス上の基準時間が変化した際に、当該時間差を基準時間変化前に再生指定時間データ抽出手段内のバッファに蓄積されていた再生指定時間データに加えてダミーの再生指定時間データを生成することを特徴とする。

【0010】請求項6に記載の発明は、請求項4乃至5のいずれか一項に記載の発明において、再生指定時間データ抽出手段及び又は受信バッファは、当該バッファ内の伝送バス上の基準時間変化前のデータが全て空になった時に制御信号を出力し、選択手段は、制御信号に基づいて、再生指定時間データ抽出手段からの再生指定時間データを選択するように切り換えることを特徴とする。

【0011】請求項7に記載の発明は、時系列データを複数のデータ群に分割してデータ群中の各データを再生すべき時間を指定する再生指定時間データをデータ群に付加してなるデータパケットを伝送バス上に時分割伝送する伝送システムにおける受信インターフェース装置であって、伝送バス上における基準時間に基づいて自機の基準時間を計数するサイクルタイムと、伝送バスを介して受信した信号のうちデータ群中の再生指定時間データを抽出しバッファ内に記憶する再生指定時間データ抽出手段と、データ群中の各データを順次取り込んで記憶して行きこれを再生クロックに応じて記憶した順に読み出す受信バッファと、自機の基準時間が再生指定時間と一致した時に基準クロックパルスが発生する一致検出手段と、基準クロックパルスの周期に基づいてダミー基準クロックパルスを生成するダミー基準クロックパルス生成手段と、ダミー基準クロックパルス生成手段からのダミー基準クロックパルスと一致検出手段からの基準クロックパルスとのどちらか一方を選択的に出力する選択手段と、基準クロックパルスに応じて該基準クロックパルスに位相同期したクロック信号を発生しこれを再生クロックとするPLL回路とを備え、選択手段は、伝送バス上の基準時間が変化する前は、一致検出手段からの基準クロックパルスを選択し、伝送バス上の基準時間が変化した後は、前記ダミー基準クロックパルス生成手段からのダミー基準クロックパルスを選択するように切り換えることを特徴とする。

【0012】請求項8に記載の発明は、請求項7に記載の発明において、ダミー基準クロックパルス生成手段はカウンタを有し、当該カウンタにより基準クロックパルスの周期を計測し、当該計測値に基づいてダミー基準クロックパルスを生成することを特徴とする。

【0013】請求項9に記載の発明は、請求項7乃至8のいずれか一項に記載の発明において、再生指定時間データ抽出手段及び／又は受信バッファは、当該バッファ内の伝送パス上の基準時間変化前のデータが全て空になった時に制御信号を出力し、選択手段は、制御信号に基づいて、一致検出手段からの基準クロックパルスを選択するように切り換えることを特徴とする。

【0014】請求項10に記載の発明は、時系列データを複数のデータ群に分割しデータ群中の各データを再生すべき時間を指定する再生指定時間データをデータ群に付加してなるデータパケットを伝送パス上に時分割伝送する伝送システムにおける受信インターフェース装置であって、伝送パス上における基準時間に基づいて自機の基準時間を計数し、伝送パス上の基準時間変化前後の2つの基準時間を一時的に記憶する少なくとも2つのレジスタを有するサイクルタイマと、伝送パスを介して受信した信号のうちデータ群中の再生指定時間データを抽出し記憶する再生指定時間データ抽出手段と、データ群中の各データを順次取り込んで記憶して行きこれを再生クロックに応じて記憶した順に読み出す受信バッファと、自機の基準時間が再生指定時間と一致した時に基準クロックパルスを発生する一致検出手段と、基準クロックパルスに応じて該基準クロックパルスに位相同期したクロック信号を発生しこれを再生クロックとするPLL回路とを備え、サイクルタイマは、伝送パス上の基準時間変化前に再生指定時間データ抽出手段及び受信バッファに蓄積されたデータに対しては伝送パス上の基準時間変化前に記憶された自機の基準時間を出力し、伝送パス上の基準時間変化後に再生指定時間データ抽出手段及び受信バッファに蓄積されたデータに対しては伝送パス上の基準時間変化後に記憶された自機の基準時間を出力することを特徴とする。

【0015】請求項11に記載の発明は、請求項10に記載の発明において、受信インターフェース装置は、再生指定時間データ抽出手段から出力される再生指定時間データと一つ前に再生指定時間データ抽出手段から出力される再生指定時間データとの時間差を減算する減算手段と、減算手段からの時間差に基づいて伝送パス上の基準時間変化前の再生指定時間データを基準時間変化後の再生指定時間データかを判定する判定回路とをさらに備え、サイクルタイマは、判定回路の判定結果に応じて伝送パス上の基準時間変化前の自機の基準時間と伝送パス上の基準時間変化後の自機の基準時間とを選択的に一致検出回路に出力することを特徴とする。請求項12に記載の発明は、請求項11に記載の発明において、再生指

定時間データ抽出手段及び／又は受信バッファは、当該バッファ内の伝送パス上の基準時間変化前のデータが全て空になった時に制御信号を出力し、サイクルタイマは、制御信号に基づいて、伝送パス上の基準時間変化前の自機の基準時間と伝送パス上の基準時間変化後の自機の基準時間とを選択的に一致検出回路に出力することを特徴とする。

【0016】請求項13に記載の発明によれば、伝送パス上の基準時間が変化した際に、再生指定時間データ抽出手段及び受信バッファの各バッファ内に蓄積されている各データを全て削除するよう構成したので、受信側では、伝送パス上の基準時間が変化した後、直ちに適切なタイミングで基準時間変化後のデジタルデータを再生出力することが可能となる。

【0017】また、請求項2記載の発明によれば、再生指定時間データ抽出手段及び／又は受信バッファは、当該バッファ内の伝送パス上の基準時間変化前のデータが全て空になった時に制御信号を出力し、再生指定時間データ抽出手段及び受信バッファは、伝送パス上の基準時間が変化した際に各データの書き込みを中断し、伝送パス上の基準時間変化前のデータが全て空になった時に各データの書き込みを再開し、サイクルタイマは、当該制御信号に基づいて、伝送パス上の基準時間変化前の自機の基準時間から伝送パス上の基準時間変化後の自機の基準時間に切替えて当該自機の基準時間と一致検出回路に出力するように構成したので、受信側では、伝送パス上の基準時間が変化した後、直ちに適切なタイミングで伝送パス上の基準時間変化前のデジタルデータを再生出力した後、引き続いて伝送パス上の基準時間変化後のデジタルデータを再生出力することが可能となる。

【0018】また、請求項3に記載の発明によれば、再生指定時間データ抽出手段は、伝送パス上の基準時間が変化した際に、当該バッファ内に蓄積されている再生指定時間データを全て削除する構成としたので、受信側では、伝送パス上の基準時間が変化した後、直ちに適切なタイミングで伝送パス上の基準時間変化前後のデジタルデータを再生出力することが可能となる。

【0019】また、請求項4に記載の発明によれば、選択手段は、伝送パス上の基準時間が変化する前は、再生指定時間データ抽出手段からの再生指定時間データを選択し、伝送パス上の基準時間が変化した後は、ダミー再生指定時間データ生成手段からのダミー再生指定時間データを選択するように切り換える構成とし、また、請求項5に記載の発明によれば、受信インターフェース装置は、伝送パス上の基準時間変化前に再生指定時間データ抽出手段にて抽出された再生指定時間データと伝送パス上の基準時間変化直後に再生指定時間データ抽出手段にて抽出された再生指定時間データとを減算し、その時間差をダミー再生指定時間データ生成手段に出力する減算手段をさらに有し、ダミー再生指定時間データ生成手段

は、伝送バス上の基準時間が変化した際に、当該時間差を伝送バス上の基準時間変化前に再生指定時間データ抽出手段内のバッファに蓄積されていた再生指定時間データに加えてダミーの再生指定時間データを生成する構成と、また、請求項6に記載の発明によれば、再生指定時間データ抽出手段及び／又は受信バッファは、当該バッファ内の伝送バス上の基準時間変化前のデータが全て空になった時に制御信号を出力し、選択手段は、制御信号に基づいて、再生指定時間データ抽出手段からの再生指定時間データを選択するように切り換えるように構成したので、受信側では、伝送バス上の基準時間が変化した後、直ちに適切なタイミングで伝送バス上の基準時間変化前後のデジタルデータを再生出力することが可能となる。

【0020】また、請求項7に記載の発明によれば、選択手段は、伝送バス上の基準時間が変化する前は、一致検出手段からの基準クロックパルスを選択し、伝送バス上の基準時間が変化した後は、ダミー基準クロックパルス生成手段からのダミー基準クロックパルスを選択するように切り換えるように構成し、請求項8に記載の発明によれば、ダミー基準クロックパルス生成手段はカウンタを有し、当該カウンタにより基準クロックパルスの周期を計測し、当該計測値に基づいてダミー基準クロックパルスを生成する構成とし、請求項9に記載の発明によれば、再生指定時間データ抽出手段及び／又は受信バッファは、当該バッファ内の伝送バス上の基準時間変化前のデータが全て空になった時に制御信号を出力し、選択手段は、制御信号に基づいて、一致検出手段からの基準クロックパルスを選択するように切り換える構成としたので、受信側では、伝送バス上の基準時間が変化した後、直ちに適切なタイミングで伝送バス上の基準時間変化前後のデジタルデータを再生出力することが可能となる。

【0021】また、請求項10に記載の発明によれば、サイクルタイムは、伝送バス上の基準時間変化前に再生指定時間データ抽出手段及び受信バッファに蓄積されたデータに対しては伝送バス上の基準時間変化前に蓄積された自機の基準時間を出し、伝送バス上の基準時間変化後に再生指定時間データ抽出手段及び受信バッファに蓄積されたデータに対しては伝送バス上の基準時間変化後に蓄積された自機の基準時間を出し、請求項11に記載の発明によれば、受信インターフェース装置は、再生指定時間データ抽出手段から出力される再生指定時間データと一つ前に再生指定時間データ抽出手段から出力される再生指定時間データとの時間差を減算する減算手段と、減算手段からの時間差に基づいて伝送バス上の基準時間変化前の再生指定時間データから基準時間変化後の再生指定時間データを判定する判定回路とをさらに備え、サイクルタイムは、判定回路の判定結果に応じて伝送バス上の基準時間変化前の自機の基準時間

と伝送バス上の基準時間変化後の自機の基準時間とを選択的に一致検出手段に出力する構成とし、請求項12に記載の発明によれば、再生指定時間データ抽出手段及び／又は受信バッファは、当該バッファ内の基準時間変化前のデータが全て空になった時に制御信号を出力し、サイクルタイムは、制御信号に基づいて、伝送バス上の基準時間変化前の基準時間と伝送バス上の基準時間変化後の自機の基準時間とを選択的に一致検出手段に出力する構成としたので、受信側では、伝送バス上の基準時間が変化した後、直ちに適切なタイミングで伝送バス上の基準時間変化前後のデジタルデータを再生出力することが可能となる。

【0022】

【発明の実施の形態】以下、本発明の実施例を図に基づいて詳細に説明する。図1は本発明を適用したデータ転送装置である。このデータ転送装置は、IEEE1394-1995規格に基づく高速リアルタイムデータ転送インタフェースを備え、複数の電気機器 $1_1 \sim 1_n$ がダイジチェーン(daisy chain)方式と分岐方式とでケーブル及びコネクタを用いて着脱自在に接続されるものである。複数の電気機器 $1_1 \sim 1_n$ とは、デジタルビデオテープレコーダ、デジタルビデオディスクプレーヤ、パーソナルコンピュータ、デジタルビデオカメラ、ハードディスクドライブ、スキャナ、プリンタ等のデジタルデータを入力又は出力する機器である。すなわち、電気機器にはパーソナルコンピュータ及びそれに接続される周辺機器に限らず、デジタルデータを入力又は出力する家電製品も含まれるのである。複数の電気機器 $1_1 \sim 1_n$ 。各々はダイジチェーンの末端で接続するだけならば1つのコネクタジャックを備えたものでも良いが、ダイジチェーン方式を可能にする機器は3つのコネクタジャックを備え、分岐方式を可能にする機器は3つ以上のコネクタジャックを備えている。コネクタジャックに接続されるコネクタプラグは各ケーブルの両端に備えられている。このようにケーブルで接続された経路がデータ転送用のバスである。

【0023】次にIEEE1394-1995規格のデータ転送プロトコルについて説明する。このプロトコルでは電気機器はノードと称され、各ノードには電気機器を互いに識別するためにノードIDが付けられる。また、各ノードはブランチノード及びリーフノードのいずれかとなる。すなわち、ブランチノードとは2つ以上のノードに接続されたノードであり、リーフノードは1つのノードにだけ接続された末端のノードである。複数のノードが接続された状態においては、電源投入時、バスにノードが追加接続された時、又はいずれかのノードがバスから外された時にバスリセット信号が発生する。バスリセット後において、複数のノード間においてルートノードが決定される。

【0024】先ず、ルートノードの決定方法に関して詳

述する。バス上に接続された各ノードは、自器がブランチノード及びリーフノードのいずれであるかを判断して、複数のノードの接続形態（トポロジ）を情報として検出する。リーフノードと判断したノードはブランチノードに対して子ノードから親ノードへの通知を示す信号parent notify を送出する。信号parent notify を受けたノードはそのリーフノードに対して親ノードから子ノードへの通知を示す信号child notify を送出する。これによりリーフノードを含むノード間の親子関係が決定される。この後、ブランチノード間においては、信号parent notify 及び child notify のいずれも送受信を行っていないので、親子関係が決まっていなかったことを認識して、信号parent notify を互いに送出する。互いに信号送出した2つのブランチノード各々は信号parent notify を受け取ったことを判断すると、互いに独立した時間を設定する。その設定時間が先に経過した一方のブランチノードは信号parent notify を他方のブランチノードに送出する。他方のブランチノードはその設定時間が経過しないうちに一方のブランチノードからの信号parent notify を受け取ったので、その2つのブランチノード間の親子関係は決定される。このようにして最後に親子関係が決定した2つのブランチノード間の親ノードがルートノードとなる。

【0025】例えば、図2に示すようにノードA～Fが接続されたトポロジの場合には、先づ、リーフノードA、E、Fが子ノードであることが決定される。リーフノードA、E、F各々のポートはcで示すように子ノードに相当し、それらリーフノードが接続されたブランチノードBの一方のポート及びブランチノードDの2つのポートはpで示すように親ノードに相当する。次に、ブランチノードC、D間においては、ノードCは2つのポートのいずれも決定されていないので、ブランチノードDが先にparent notify をブランチノードCに送出することになる。これは、ポートが1つになった方が先にparent notify を送出することになっているためである。よって、この時点で、ブランチノードDの残りの1つのポートが子ノードcに相当し、ブランチノードCの一方のポートが親ノードpに相当する。

【0026】最後に、ブランチノードB、C間では、両ノードともポートが1つになったためお互いにparent notify を送出することになる。この時には、先述したように、互いに信号送出した2つのブランチノード各々はparent notify を受け取ったことを判断すると、互いに独立した時間を設定する。本例では、ブランチノードCが先に設定時間に達したため、ブランチノードBに対してparent notify を送出している。ブランチノードBはその設定時間が経過しないうちに一方のブランチノードからのparent notify を受け取ったので、その2つのブランチノード間の親子関係は決定される。すなわち、ブランチノードCの他方のポートが子ノードcに相当し、

ブランチノードBのポートが親ノードpに相当する。このようにして最後に親子関係が決定した2つのブランチノード間のうち、親ノードとなったノードBがルートノードとなる。

【0027】次に、各ノードのノードIDの付与方法に関して詳述する。先づ、ルートノードはノードIDを各ノードに通知する。この通知処理においては、子ノードを接続したポート番号順に端元のリーフノードから若い番号（ノード番号0から）のノードIDが設定される。ルートノードが最も大きなノード番号のノードIDとなる。例えば、図2のトポロジの場合には、図3に示すようにノードIDが付与されるが、その付与方法は、先づ、ルートノードであるノードBが自機においてポート番号の若いポートに接続されているノードAに対して、ノードID番号を付与させるための信号grant を送出する。なお、図2においてバスの接続端子付近に付されている番号がポート番号である。ノードAでは、grant 信号を受信後、ノードID番号をつけた後、親ノードに対して番号付けを行なったと言う確認の信号を送出する。その後、ノードAは、全ノードに対して自機のノードID番号（ID=0）を送出する。ID番号を受け取った全ノードは、自機のノードカウンタをインクリメント（IDカウンタ=0）する。

【0028】次に、ルートノードBは、自機においてポート番号が次に若いポートに接続されているノードCに対して、ノードID番号を付与させるための信号grant を送出する。ノードCでは、自機においてポート番号の若いポートに接続されているノードDに対して、ノードID番号を付与させるための信号grant を送出する。ノードDでは、自機においてポート番号の若いポートに接続されているノードFに対して、ノードID番号を付与させるための信号grant を送出する。ノードFでは、grant 信号を受信後、ノードID番号をつけた後、親ノードDに対して番号付けを行なったと言う確認の信号を送出する。その後、ノードFは、全ノードに対して自機のノードID番号（ID=1）を送出する。ID番号を受け取った全ノードは、自機のノードカウンタをインクリメント（IDカウンタ=1）する。次に、自機においてポート番号が次に若いポートに接続されているノードEに対して、ノードID番号を付与させるための信号grant を送出する。以下上述した順番で各機器のノードID番号が付与され、図3のようになる。

【0029】ノードIDの通知が終了すると、複数のノードのうちからバスマネージャが選択され、バスマネージャはアシンクロナスの帯域制御、アシンクロナスチャンネル制御、電力管理、トポロジマッピング及びスピードマッピングを管理する。この管理の詳細は省略する。データ転送にはアシンクロナス転送と、アシンクロナス転送とがある。アシンクロナス転送は周期的に送信する必要がある同期データの転送用であり、アシンクロナス

転送は非同期データ転送用である。データ転送の1サイクルは125μsecであり、各サイクル内には図4に示すように、まず、サイクルスタートパケットCS、アイソクロナスパケットI₁、I₂、アシンクロナスパケット(Asyns転送)がその順で位置する。サイクルスタートパケットCSはサイクルマスターノード(例えばルートノード)から全てのノードに対して転送され、そのデータ転送サイクルの開始を示す。例えば、図5に示すように、IEEE1394-1995規格に基づくバスに5つのノードA～Eが接続されているとすると、各ノードA～Eは2.4、5.76MHzの周波数で計数して時間値を得るサイクルタイマを備え、サイクルタイマの計数タイミングでデータ送受信動作を行なう。ここで、ノードEがマスターノードであるならば、ノードEは125μsec毎にサイクルスタートパケットCSをノードA～Dに供給するためにバス上に送出する。サイクルスタートパケットCSにはノードEのサイクルタイマの時間値が表示されており、各ノードA～DはサイクルスタートパケットCSを受信することにより、自身のサイクルタイマの時間値を受信サイクルスタートパケットCSに示されたノードEのサイクルタイマの時間値(基準時間)に等しくさせるのである。これにより、同一のバスに接続された全てのノードA～Eのデータ送受信動作タイミングを同期させることになる。

【0030】アイソクロナスパケットはアイソクロナス転送用のパケットであり、1回のアイソクロナスサイクルの間に転送するアイソクロナスパケットの単位をチャンネルと呼ぶ。図4では2つのチャンネル分のパケットI₁、I₂が表示されているが、パケット数は各サイクル毎に設定され、複数のチャンネル分のパケットが時分割多重化されている。アイソクロナスパケットでデータ転送するノードは予約手続を予め行ないチャンネルを取得した後であれば、125μsecに1回はデータパケットを送出することができる。アイソクロナスパケットは具体的に図6に示すように、アビテーションと、データパケットとからなる。アビテーションはデータ転送に先立ってバス使用権をルートノードに要求し、使用許諾を得るためのデータである。いずれかのノードが使用許諾を得た場合にはルートノードからそれ知らせる信号が各ノードに直ちに供給される。データパケットは、使用許諾を得た場合に送出され、ヘッダ、ヘッダCRC、CIPヘッダ、データ部、及びデータCRCを時間順に有している。ヘッダにはアイソクロナスパケットで転送するデータの種類を示すチャンネルナンバ及びそのデータの時間的長さを示すデータサイズ等が情報として含まれる。チャンネルナンバは0～63までである。

【0031】CIPヘッダの構成は図7に示すようになる。その構成を簡単に説明すると、SIDは送信器のID番号を付与するための領域である。DBSは1サンプルデータ(データブロック)のサイズである。F

N、QPC、SPHは例えばMPEGデータなどの映像データを送出する際に必要な領域であり、FNはソースパケットをIEEE1394のバスに送るためにいくつかのデータブロックに分割しているのかを示す数値。QPCはソースパケットのサイズをDBS倍にするために加えられたダミーのクロドレット数(1クロドレットは4バイト)、SPHは上記分割したデータパケットのうちソースパケットヘッダが含まれているデータパケットに対しては1を付与するための領域である。また、Rsvは予約、DBCはサンプルデータの連続番号を付与する領域であり、CIPヘッダに示されるDBCはデータパケットの最初のサンプルデータの番号である。次に、FMTはフォーマットIDであり、データのプロトコルに応じて付けられる領域であり、例えば、A&M(Audio/Music)プロトコルの場合には、A&Mプロトコルのフォーマット情報が付与される。FDFは、前述したFMTに準拠した領域であり、例えば、A&M(Audio/Music)プロトコルの場合には、各データのサンプリング周波数などが付与される。SYTは受信側において、当該パケットデータを復調する時間を指し示すものであり、タイムスタンプデータ(再生指定時間データ)のことである。この再生指定時間データSYTは、上述したようにCIPヘッダのうち下位16bitにより構成され、この下位16bitのうち、上位4bitはサイクルカウントと呼ばれ、1150サイクル(125μs)毎のカウントを行い、下位12bitはサイクルオフセットと呼ばれ、2.4、5.76MHzのクロックでカウントを行うものである。

【0032】アシンクロナスパケットは転送先を指定してデータを転送するためのパケットである。転送先は特定のノード又はバス上の全てのノードである。アシンクロナスパケットは具体的には図8に示すように、アビテーションと、データパケットと、アクノリッジパケットとからなる。アビテーションはデータ転送に先だってバス使用権をルートノードに要求し、使用許諾を得るためのデータである。データパケットは、ヘッダ、ヘッダCRC、データ部、及びデータCRCを時間順に有している。そのヘッダにはアシンクロナスパケットで転送するデータの宛先のノードID、発信元のノードID、及びそのデータの時間的長さを示すデータサイズ等が情報として含まれる。アクノリッジパケットはアシンクロナスパケットでデータ転送された宛先のノードがデータ受信を確認して発信元のノードに対して送信するパケットである。

【0033】次に、アイソクロナスパケットによるオーディオデータの転送方法について説明する。図9に概略的に示すように、サンプリング周波数fsが例えば、44.1kHzの時系列のデジタルデータであるオーディオデータDATAは1の電気機器9内の送信器11から他の電気機器10内の受信器12にIEEE1394

ー1995規格に基づくバス15を介して供給されるとする。電気機器9内には受信器12と同様の受信器13が備えられ、また電気機器10内には送信器11と同様の送信器14が備えられている。送信器11(14)においては、図10に示すように、オーディオデータの各サンプルデータは送信バッファ21に順次蓄えられ、その蓄えられたデータがMUX(マルチプレックス)22にてデータパケット化されてからバス15に出力される。送信バッファ21及びMUX22の動作は図示しないマイクロコンピュータによって制御される。

【0034】一方、レジスタからなるサイクルタイム23には上記した24.576MHzのクロック信号が供給されると共に、サイクルマスタノードから8KHzの基準信号(基準時間の基となる信号)が供給される。この基準時間により、すべてのノードの時間合わせが行われる。なお、図10はサイクルマスタノード以外のノードの構成を示しており、サイクルマスタノードの場合には、自機のクロックにより基準時間を生成するので、8KHzの基準信号は供給されない。サイクルタイム23は基準信号で示された値からクロック信号を数計し、その数計値を時間値としてラッチ回路24に供給する。ラッチ回路24にはタイムスタンプタイミング信号fs/SYT INTERVALが周期的に供給される。このタイムスタンプタイミング信号fs/SYT INTERVALは図示しない手段から生成され、サンプルデータ(データブロック)にタイムスタンプ、すなわち時間情報を付加するタイミングを示す信号であり、サンプリング周波数fs/サンプル間隔SYT INTERVALで求められる周波数である。

【0035】サンプル間隔SYT INTERVALはサンプルデータにタイムスタンプ(SYT)を付加するサンプル間隔であり、例えば、8である。よって、ラッチ回路24は、タイムスタンプタイミング信号fs/SYT INTERVALが供給されたときのサイクルタイム23の時間値を保持する。この保持した時間値は後述する転送遅延時間T_Dを加算されてMUX22に供給され、パケット化の際にサンプル間隔SYT INTERVALでサンプルデータに対して付加される。よって、サンプル間隔SYT INTERVAL毎の時間値を有するサンプルデータがデータパケットとしてバス15に送出される。なお、図示していないがラッチ回路24の出力に転送遅延時間T_Dを加算するために加算器が設けられている。

【0036】受信器12(13)においては、図11に示すように、バス15からのデータパケットがサイクルスタートパケット抽出部31及びアイソクロナスパケット用のデータパケット抽出部32に供給される。バス15を介して転送されたデータパケットから、サイクルスタートパケット抽出部31はサイクルスタートパケットCSを抽出し、データパケット抽出部32はアイソクロナスパケットを抽出する。抽出されたサイクルスタートパケットCSはサイクルタイム33に供給され、サイク

ルタイム33はそのサイクルスタートパケットCSに示された時間値がセットされ、そのセット時間値から24.576MHzのクロック信号を数計して、その数計値をサイクルタイム(基準時間)Tcとして一致検出回路34に出力する。

【0037】一方、データパケット抽出部32で抽出されたアイソクロナスパケットは受信バッファ35に蓄積されると共に、アイソクロナスパケット中のCIPヘッダに備えられたSYTがSYT抽出部36で取り出されて一致検出回路34に対して保持出力される。一致検出回路34はサイクルタイム33から出力されたサイクルタイムTcとSYT抽出部36から出力されたSYTとを比較し、その時間値が一致した時に再生基準クロック信号C_{REF}を出力し、PLL回路37は再生基準クロック信号C_{REF}に位相同期して再生サンプリングクロック信号fsを生成する。再生サンプリングクロック信号fsは受信バッファ35及びD/A変換器38に送信される。受信バッファ35は蓄積されたデータパケットの各サンプルデータを再生サンプリング信号fsに同期して各サンプルデータ単位に分離して出力する。D/A変換器38は受信バッファ35から出力されたサンプルデータを再生サンプリングクロック信号fsに同期してアナログオーディオ信号に変換する。そして、各回路を一括制御するコントロール部39を備えている。なお、バス上から送信されてくるバリエーション信号はコントロール部39にて受信される。

【0038】データパケットの転送方法を更に説明すると、送信器11側ではタイムスタンプタイミング信号fs/SYT INTERVALが図12(a)に示す信号波形の如く発生する。このタイムスタンプタイミング信号fs/SYT INTERVALの立ち上がり時点の時間値T1, T2, T3, ……がその時点のDBC=i, i+8, i+16のサンプルデータに対応する。すなわち、サンプルデータ列は図12(b)に示すように、125μsec毎に5又は6サンプル単位でパケット化され、そのサンプルデータ列のうちのタイムスタンプタイミング信号fs/SYT INTERVALの立ち上がり時点に位置するサンプルデータの時間値T1, T2, T3, ……に遅延転送時間T_Dを加えた値(例えば、T1', T2', T3')が上記のCIPヘッダにSYTとして付加される。その時間値が付加されるサンプルデータの間隔はサンプル間隔SYT INTERVAL

(図12の例では8)となる。時間値T1', T2', T3', ……は対応したサンプルデータの受信側での再生出力時点を示すデータであり、上記したように送信器側のサイクルタイムの現時点の時間値に対して転送遅延時間T_Dを加味させている。データパケットはパケット化が行われた125μsecサイクルの次のサイクルでバス上に図12(c)に示すように、サイクルスタートパケットCSに続いてアイソクロナスパケットISOとして送出される。

【0039】受信器12側では送信器11から送出されたアイソクロナスパケットISOを抽出した後、それを受信バッファ35に蓄積することが行なわれる。例えば、図12（c）に示すように受信器12のサイクルタイムの時間値がT1'になったときに、再生サンプリングクロック信号fsに同期して、図12（d）に示すようにDBC=iのサンプルデータが受信バッファ35から出力され、それに続くサンプルデータが再生サンプリングクロック信号fsに同期して順に受信バッファ35から出力される。また、受信器12のサイクルタイム3の時間値がT2'になったときに、再生サンプリングクロック信号fsに同期しDBC=i+8のサンプルデータが受信バッファ35から出力される。このような動作が再生基準クロック信号C_{REF}が得られる限り繰り返されるのでデータ転送が可能となるのである。このように、受信側では転送されたデータを受信バッファし、その受信データのSYT（再生指定時間データ）と受信側のサイクルタイムから出力されたサイクルタイムtcとが一致した場合に、そのデータの処理を行うのである。

【0040】しかしながら、アイソクロナス転送を行っているバス上に、例えば、新たな機器が接続された場合、上述したようにバスリセットが生じるが、その際、新たに接続されたバス上の機器がサイクルマスタになる可能性がある。この時、バッファに蓄えられているバスリセット前と後のデータでは時間情報の基準時間が異なるため、受信側ではバスリセット前のデータのSYT（時間データ）と自機のサイクルタイムとが長時間一致しなくなった場合、バッファがあふれ正常な受信データの処理ができなくなる可能性がある。具体的には、図13に示すようにサイクルタイム：CT=Xにて送受信が行われている少なくとも2台のノードを接続しているバス（a）と、サイクルタイム：CT=Yにて送受信が行われている少なくとも2台のノードを接続しているバス（b）とが互いに接続され、接続されたバス（c）上のサイクルタイムがCT=Yとなる場合である。この時、サイクルタイム：CT=Yで動作していた受信側のノードのSYT抽出部36内のバッファには、サイクルタイム：CT=XのSYT（x20, x21）とサイクルタイム：CT=YのSYT（y0, y1, y2）とが混在している事になる。ここで、例えば、SYT（x20, x21）が、バスリセット後のサイクルタイムの基準時間であるCT=Yよりも過去のデータであった場合には、データのSYT（再生指定時間データ）と受信側のサイクルタイムtc（基準時間）とが一致しなくなり、バッファがあふれ正常な受信データの処理ができなくなってしまうのである。

【0041】その際は、受信側において、次のような5つの回復手段を取る可以考虑。

（1）バスリセット後に、受信側のバッファに蓄えられたバスリセット前の受信データ及びそのSYTを全て削

除し、バスリセット後のデータを通常通り処理する。

（2）バスリセット後に、受信側のバッファに蓄えられたバスリセット前のデータが処理されるまで、バッファへのデータの送信を中断し、バスリセット前のデータがなくなった後からバスリセット後のSYT情報を持つデータの処理を行う。

（3）バスリセット後に、受信側のバッファに蓄えられたSYTのみを全て削除し、バスリセット直前のデータはバスリセット前に生成された再生基準クロック信号に基づいて生成された再生サンプリングクロックfsにより処理し、バスリセット後のデータは通常通り処理する。

（4）バスリセット後は、バスリセット前のデータに対してはダミーのSYTまたはダミーの再生基準クロック信号を用いて処理し、バスリセット前のデータが全て処理された後は、バスリセット後のSYTまたは再生基準クロック信号により通常の処理を行う。

（5）バスリセット後は、バスリセット前のデータに対してはバスリセット前のサイクルタイムを用いて処理し、バスリセット前のデータが全て処理された後は、バスリセット後のサイクルタイムを用いて通常の処理を行う。

【0042】以下に上記（1）乃至（5）の具体的な方法を、第1の実施の形態乃至第5の実施の形態として図を用いて説明する。

【0043】（第1の実施の形態）図14は、上記（1）の方法を簡略的に示した図である。本図において、図14（a）はサイクルタイム：CT=Xで動作していた受信側のバスリセット直後のSYT抽出部36内のバッファの状態を表しており、図14（b）は方法（1）を経た状態を表している。すなわち、バスリセット前はサイクルタイム：CT=Xで送受信が行われていたので、SYT抽出部36内のバッファにはx20, x21のSYTが蓄積されている（図14（a））。この後、バスリセットが生じ、バス上のサイクルタイムがCT=Yになった際に、SYT抽出部36内のバッファに蓄積されているSYTを全て削除する。なお、SYTと一緒にバケット化されていた受信バッファ35内のデータも削除する。バスリセット後は、サイクルタイムCT=YのSYTがy0, y1, y2・・・とSYT抽出部36内のバッファに蓄積されていく（図14（b））。このように、第1の実施の形態においては、バスリセット後に、受信側のバッファに蓄えられたバスリセット前の受信データ及びそのSYTを削除するようにしている。

【0044】図15は、上述した受信器の状態をフローチャート化したものである。また、図16は、図11の回路図から第1の実施の形態に係る部分を抜粋したものであり、図11と同一の機能を有する回路には同一の符号が付けられており、その説明は省略する。以下、図15

を基に図16を用いて第1の実施の形態の具体的な方法を説明する。先ず、少なくとも2つのノードによりバス15上でデータの送受信が行われている状態において、上述したようにバスからのデータパケットがサイクルスタートパケット抽出部31にて抽出される。抽出されたサイクルスタートパケットCSはサイクルタイム33に供給され、サイクルタイム33はそのサイクルスタートパケットCSに示された時間値を図示せぬレジスタにセットする。一方、データパケット抽出部32は、バス上のアイソクロナスパケットを抽出し、当該パケット内のデータを受信バッファ35に供給する。また、アイソクロナスパケット中のCIPに備えられたSYTは、SYT抽出部36で抽出される。以後、上述した図11に説明した所定のデータ受信処理にてデータの復調処理が行われる。

【0045】ここで、データの送受信が行われている最中に新たな機器の接続又は解除などによりバスリセットが生じる(ステップS151)と、コントロール部39はバスリセット信号を受信する。その後、サイクルタイム33は新たなサイクルスタートパケットを受信する(ステップS152)。新たなサイクルスタートパケットを受信したサイクルタイム33は、そのサイクルスタートパケットCSに示された時間値がセットされ、そのセット時間値から24.576MHzのクロック信号を計数して、その計数値をサイクルタイム(基準時間)Tcとして一致検出回路34に出力する。また、コントロール部39は受信バッファ35及びSYT抽出部36に各パケット内のデータをクリックするように制御信号を送信する。当該制御信号を受信した受信バッファ35及びSYT抽出部36は、各々のバッファに蓄積されているデータを全てクリアする(ステップS153)。ステップS153以降は、引き続きバスリセットが生じるまで通常の動作を繰り返す。すなわち、一致検出回路34において、サイクルタイム33から供給されるサイクルタイムTcとSYT抽出部36から供給される新たなSYTとを比較し、当該時間値が一致した時に再生基準クロック信号C_{REF}を出力する。その後の行程は上述した通りに行われる。また、ステップS151において、バスリセットが生じる場合も、引き続きバスリセットが生じるまで通常の動作を繰り返す。このように、第1の実施の形態においては、バスリセットが生じた際に、受信バッファ35及びSYT抽出部36の各々のパケット内のデータを全てクリアし、バスリセット後のデータは通常通り処理が再開されるので、バスリセット前後の時間情報が異なっても、正常な処理が行われることになる。なお、第1の実施の形態の場合には、図14(a)で示したSYT(x20, x21)に相当するデータは欠落してしまうが、簡単な構成でデータの復調が再開されることとなる。

【0046】(第2の実施の形態)図17は、上記

(2)の方法を簡略的に示した図である。本図におけるSYT抽出部36内のバッファの状態も第1の実施の形態と同一であり、図17(a)はサイクルタイム:CT=Xで動作している受信側のバスリセット直後のSYT抽出部36内のバッファの状態を表しており、図17(b)は方法(2)を経た状態を表している。すなわち、バスリセット前はサイクルタイム:CT=Xで送受信が行われていたもので、SYT抽出部36内のバッファにはx20, x21のSYTが蓄積されている(図17(a))。この後、バスリセットが生じ、バス上のサイクルタイムがCT=Yになった際に、SYT抽出部36内は新たなSYTの取り込みを中断する。そして、SYT抽出部36内のバスリセット前のデータが全て処理された後、SYT抽出部36内は新たなSYTの取り込みを開始する。新たなSYTの取り込み開始後は、サイクルタイム:CT=YのSYTがy2, y3, y4, y5,・・・とSYT抽出部36内のバッファに蓄積されていく(図17(b))。このように、第2の実施の形態においては、バスリセット後は、受信側のバッファに蓄えられたバスリセット前のデータが処理されるまで、バッファへのデータの供給を中断し、バスリセット前のデータがなくなった後からバスリセット後のSYT情報を待つデータの供給を行うようにしている。

【0047】図18は、上述した受信器の状態をフローチャート化したものである。また、図19は、図11の回路図から第2の実施の形態に係る部分を抜粋したものであり、図11と同一の機能を有する回路には同一の符号が付されており、その説明は省略する。なお、本実施の形態においてはサイクルタイム33は一時的にデータを保持するためのレジスタを2つ備えている。以下、図18を基に図19を用いて第2の実施の形態の具体的な方法を説明する。先ず、少なくとも2つのノードによりバス15上でデータの送受信が行われている状態において、上述したようにバスからのデータパケットがサイクルスタートパケット抽出部31にて抽出される。抽出されたサイクルスタートパケットCSはサイクルタイム33に供給され、サイクルタイム33はそのサイクルスタートパケットCSに示された時間値を例えばレジスタ1にセットする。一方、データパケット抽出部32は、バス上のアイソクロナスパケットを抽出し、当該パケット内のデータを受信バッファ35に供給する。また、アイソクロナスパケット中のCIPに備えられたSYTは、SYT抽出部36で抽出される。以後、上述したデータ受信処理にてデータの復調処理が行われる。

【0048】ここで、データの送受信が行われている最中に新たな機器の接続または解除などによりバスリセットが生じる(ステップS181)と、コントロール部39はバスリセット信号を受信する。その後、コントロール部39は、サイクルタイム33に新たなサイクルタイムを別のレジスタに蓄積するように制御信号を送出す

る。サイクルタイム33は、当該制御信号を受信し、例えば第2のレジスタ2に新たなサイクルタイムを書き込む。(ステップS182)。このとき、サイクルタイム33は、レジスタ1に蓄積されているサイクルタイムに基づいて自機のサイクルタイムを生成し一致検出回路34に供給し続ける。一方、コントロール部39は、受信バッファ35及びSYT抽出部36に各バッファ内へのデータの書き込みを中断するように制御信号を送信する(ステップS183)。当該制御信号を受信した受信バッファ35及びSYT抽出部36は、各々のバッファ内へのデータの書き込みを中断する。なお、この時、バスリセット前に既に受信バッファ35に蓄積されているデータは処理され続ける。

【0049】その後、受信バッファ35では、受信バッファ35内のFIFOのデータが空になったか否かが監視され、FIFOのデータが空にならない場合(ステップS184:N)は、バッファ内へのデータの書き込みを中断(ステップS183)が継続され、FIFO内のデータが空になった場合(ステップS184:Y)には、受信バッファ35はコントロール部39に対してEmptyFlagを送出する。コントロール部39は、EmptyFlagを受信すると、サイクルタイム33に対して、サイクルタイムの書換指令の制御信号を送出する。当該制御信号を受信したサイクルタイム33は、レジスタ2に蓄積されていたサイクルタイムをレジスタ1に書き替え(ステップS185)、当該サイクルタイムにより自機のサイクルタイムを生成し、一致検出回路に供給する。また、コントロール部39は、受信バッファ35及びSYT抽出部36に各バッファ内へのデータの書き込みを再開するように制御信号を送出する。当該制御信号を受信した受信バッファ35及びSYT抽出部36は、各バッファ内へのデータの書き込みを再開する(ステップS186)。ステップS186において、受信バッファ35及びSYT抽出部36の各バッファ内へのデータの書き込みを再開した後は、引き続きバスリセットが生じるまで通常の動作を繰り返す。また、ステップS181において、バスリセットが生じない場合も、引き続きバスリセットが生じるまで通常の動作を繰り返す。

【0050】なお、ステップS183において、バスリセット後にデータパケット抽出部32にてデータを抽出しないように制御させることも可能であり、またデータパケット抽出部32からデータが送信されないように制御することも可能である。要は、バスリセット後に受信バッファ35及びSYT抽出部36にデータが蓄積されないように制御すればよい。また、第2の実施の形態においては、受信バッファ35内のデータ量を監視する場合を説明したが、SYT抽出部36内のFIFOのデータを監視し、当該FIFOのデータが空になったら、EmptyFlagを送信する構成にすることも可能である。また、後述する(第4の実施の形態にて説明する)よう

に、バスリセット時に、受信バッファ35及び/又はSYT抽出部36内のFIFOのデータ量を計測し、当該FIFOから出力されるデータ量がその計測値に達したら、所定の制御信号を出力する構成にすることも可能である。要は、受信バッファ35及び/又はSYT抽出部36内のFIFOのデータにバスリセット前のデータがなくなったことを示す制御信号を出力すればよい。このように、第2の実施の形態においては、バスリセットが生じた後に、受信バッファ35及びSYT抽出部36の各バッファ内へのデータの書き込みを中断し、バスリセット前のデータが処理された後、バスリセット後のデータの処理を開始するので、バスリセット前後の時間情報が異なっても、正常な処理が行われることになる。よって、第2の実施の形態の場合には、図17(a)で示したSYT(y0, y1)に関するデータは欠落してしまうが、バスリセット前のデータは正常に処理され、バスリセット後も通常の処理が再開されることとなる。

【0051】(第3の実施の形態)図20は、上記(3)の方法を簡略的に示した図である。本図におけるSYT抽出部36内のバッファの状態も第1の実施の形態と同一であり、図20(a)はサイクルタイム:CT=Xで動作している受信側のバスリセット直後のSYT抽出部36内のバッファの状態を表している。図20(b)は方法(3)を経た状態を表している。すなわち、バスリセット前は、サイクルタイム:CT=Xで送受信が行われていたので、SYT抽出部36内のバッファにはx20, x21のSYTが蓄積されている(図20(a))。この後、バスリセットが生じ、バス上のサイクルタイムがCT=Yになった際に、SYT抽出部36内のバッファに蓄積されているSYTを全て削除する。そして、SYT抽出部36は新たなSYTの取り込みを開始する。新たなSYTの取り込み後は、サイクルタイムCT=YのSYTがy0, y1, y2, y3...とSYT抽出部36内のバッファに蓄積されていく(図20(b))。なお、バスリセット後において、受信バッファ35内のデータのうちバスリセット前のデータは、バスリセット前のサイクルタイム:CT=Xの時に生成された再生基準クロック信号C_{REF}により生成された再生サンプリングクロックf_sにより制御され、サイクルタイム:CT=Xに関するデータが全て処理された後は、サイクルタイム:CT=Yに関するデータが通常通りに処理される。このように、第3の実施の形態においては、バスリセット後に、SYT抽出部36内のバッファに蓄えられたSYTを全て削除する構成としている。

【0052】図21は、上述した状態をフローチャート化したものである。以下、図21を基に図16を用いて第3の実施の形態の具体的な方法を説明する。まず、通常の動作が行われている状態(第1の実施の形態にて説明されている)において、新たな機器の接続又は解離な

どによりバスリセットが生じる（ステップS211）と、コントロール部39はバスリセット信号を受信する。その後、コントロール部39は、S-Y-T抽出部36にバッファ内のS-Y-Tを全てクリアするように制御信号を送出する。当該制御信号を受信したS-Y-T抽出部36は、バッファ内のS-Y-Tを全てクリアする（ステップS212）。また、受信バッファ35内に蓄積されているデータは、バスリセット前に生成されたリファレンスクロック C_{REF} に位相同期した再生サンプリングクロック信号 f_s に同期して処理され続ける（ステップS213）。なお、この状態の時には、一致検出回路34にS-Y-T抽出部36からしばらくの間S-Y-Tが送信されないため、一致検出回路34はリファレンスクロック C_{REF} を出力しない。しかしながら、PLL回路37は、バスリセット前に生成されたリファレンスクロック C_{REF} に基づいて生成された再生サンプリングクロック f_s をしばらく維持し続けるので、バスリセット前のデータは、当該再生サンプリングクロック f_s により処理されることとなる。一方、サイクルスタートパケット抽出部31は、新たなサイクルスタートパケットCSを抽出し、サイクルタイム33に当該サイクルスタートパケットCSを供給する。S-Y-T抽出部36は、新たなS-Y-Tを抽出し、当該S-Y-Tを一致検出回路34に供給する。

【0053】サイクルタイム33は、バスリセット後に供給されてくるサイクルスタートパケットCSに示された時間値から24.576MHzのクロック信号を計数してサイクルタイムTcを一致検出回路34に供給する。一致検出回路34は、サイクルタイム33から供給されたサイクルタイムTcとS-Y-T抽出部36から供給されたS-Y-Tとを比較し、その時間値が一致した時に再生基準クロック信号 C_{REF} を生成する（ステップS214）。ステップS214において、サイクルタイムTcとS-Y-Tが一致しない時には、受信バッファ35内に蓄積されているデータは、ステップS213で行われていたバスリセット前に生成したリファレンスクロック C_{REF} に位相同期した再生サンプリングクロック信号 f_s に同期して処理され続ける。一方、サイクルタイムTcとS-Y-Tが一致した時には、受信バッファ35内に蓄積されているデータは、その時間値が一致した時に再生基準クロック信号 C_{REF} に位相同期した再生サンプリングクロック信号 f_s に同期して処理される（ステップS215）。ステップS215において、通常の再生処理が再開された後は、引き続きバスリセットが生じるか否かが監視される。また、ステップS211において、バスリセットが生じない場合も、引き続きバスリセットが生じるまで通常の動作を繰り返す行。

【0054】このように、第3の実施の形態においては、S-Y-T抽出部36内のバッファのデータを全てクリアし、バスリセット直前のデータはバスリセット前に生成された再生サンプリングクロック f_s により処理し、

バスリセット後のデータは通常通りに処理する構成としたので、バスリセット前後の時間情報が異なっても、正常な処理が行われることになる。なお、第3の実施の形態の場合には、バスリセット前後においてデータの欠落を生じることなく、バスリセット前後のデータが正常に処理される。

【0055】（第4の実施の形態）第4の実施の形態は、上述の（4）の方法であり、バスリセット後は、バスリセット前のデータに対してはダミーのS-Y-Tまたはダミーのリファレンスクロックを用いて処理し、バスリセット前のデータが全て処理された後は、バスリセット後のS-Y-Tまたはリファレンスクロックにより通常の処理を行うものである。なお、本実施の形態には2通りの方法があり、第4の実施の形態の第1の方法、第4の実施の形態の第2の方法として、以下に詳細な説明を行う。

【0056】（第4の実施の形態の第1の方法）第4の実施の形態の第1の方法は、ダミーのS-Y-Tを生成する方法である。図22は、第4の実施の形態の第1の方法を概念的に示した図である。すなわち、バスリセット前は、サイクルタイム： $CT=X$ で送受信が行われていたため、S-Y-T抽出部36内のバッファには $X \cdot 20$ 、 $X \cdot 21$ のS-Y-Tが蓄積されている。この後、バスリセットが生じ、バス上のサイクルタイムが $CT=Y$ になった際に、S-Y-T抽出部36は新たなS-Y-Tの取り込みを行う。新たなS-Y-Tの取り込み後は、サイクルタイム： $CT=Y$ のS-Y-Tが $y0$ 、 $y1$ 、 $y2$ 、 $y3 \cdots$ とS-Y-T抽出部36内のバッファに蓄積されていく。一方、ダミーS-Y-T生成回路41は、バスリセットが生じた後、 $x \cdot 20$ 、 $x \cdot 21$ のS-Y-Tに相当するダミーS-Y-Tである $x \cdot 20'$ 、 $x \cdot 21'$ を生成し、選択回路42に供給する。選択回路42は、バスリセット信号に応じて、S-Y-T抽出部36のS-Y-TからダミーS-Y-T生成回路41のダミーS-Y-Tへの切り換えを行い、一致検出回路34にそのS-Y-Tを供給する。尚、当該ダミーS-Y-Tの出力が終了したら、再び通常のS-Y-Tを一致検出回路34に供給する。このように、第4の実施の形態の第1の方法においては、バスリセット後は、バスリセット前のデータに対してはダミーのS-Y-Tを用いて処理し、バスリセット前のデータが全て処理された後は、バスリセット後のS-Y-Tにより通常の処理が行われるようにするものである。

【0057】図23は、上述した受信器の状態をフローチャート化したものである。また、図24は、図11の回路図から第4の実施の形態に係る部分を抜粋したものであり、図11と同一の機能を有する回路には同一の符号が付けられており、その説明は省略する。なお、本実施の形態においては減算回路40、ダミーS-Y-T生成回路41、選択回路42を新たに備えている。ここで減算回路40は、S-Y-T抽出部36からS-Y-Tを受信し、当該

SYTの前後のSYTの差を後述する演算式により演算し、その差を時間差(D)としてダミーSYT生成回路41に供給する。ダミーSYT生成回路41は、当該時間差(D)を受信し、またSYT抽出部36からSYTを受信する。そして、当該時間差(D)とSYT抽出部36からのSYTを用いて後述する演算式によりダミーSYTを生成し、そのダミーSYTを選択回路42に供給する。選択回路42は、SYT抽出部36からのSYTとダミーSYT生成回路41からのSYTを選択的に一致検出回路に供給する。以下、図23を基に図24を用いて第4の実施の形態の第1の方法に関して具体的な方法を説明する。まず、通常の動作が行われている状態(第1の実施の形態にて説明されている)において、新たな機種の接続又は解除などによりバスリセットが生じる(ステップS231)と、コントロール部39はバスリセット信号を受信する。その後、コントロール部39は、SYT抽出部36にバッファ内のBuffer Sizeを確認するように制御信号を送信する。当該制御信号を受信したSYT抽出部36は、バッファ内のBuffer Sizeを確認し、コントロール部39にBuffer Sizeを送信する(ステップS232)。このBuffer Sizeは、バスリセットが生じた時にSYT抽出部36内のバッファに蓄積されているSYTの個数をカウントした値であり、例えば、図22に示されているようにバスリセット前のSYTが2個(X20, X21)蓄積されている場合にはBuffer Size = 2とする。

【0058】また、コントロール部39は、選択回路42に切換信号を送出する。当該切換信号を受信した選択回路42は、ダミーSYT生成回路41から供給されてくるSYTを一致検出回路34に供給するように切り換えを行う。(ステップS233)。また、コントロール部39は、バスリセット以降に、一致検出回路34にて選択回路42からのSYTとサイクルタイム33からのサイクルタイムとが一致した回数をカウントし(ステップS234, S235)、そのカウント値がBuffer Size以上になったら(ステップS236)、選択回路42に対して再度切換信号を送信する。これは、例えば、図22の場合には、計数値>2となった選択回路42に対して切換信号を送信する。当該切換信号を受信した選択回路42は、再び通常のSYTを一致検出回路34に送信するように切り換えを行う(ステップS237)。

一方、ステップS236において、通常の再生処理が再開された後は、引き続きバスリセットが生じるか否かが監視される。また、ステップS231において、バスリセットが生じない場合も、引き続きバスリセットが生じるまで通常の動作を繰り返す。

【0059】このように、第4の実施の形態の第1の方

法においては、バスリセット後に、ダミーのSYTを生成するような構成としたので、バスリセット前後の時間情報が異なっても、正常な処理が行われることになる。

【0060】なお、ダミーSYTの具体的な生成方法は、次のように行われる。図24において、減算回路40には常にSYTが供給されており、バスリセットが生じた時に、バスリセット直前のSYT(サイクルタイム: $CT=X$ のSYT)とバスリセット直後のSYT(サイクルタイム: $CT=Y$ のSYT)との時間差を、

【0061】

【数1】時間差(D) = (バスリセット直前のSYT) - (バスリセット直後のSYT)

として演算し、その時間差(D)をDummy SYT生成回路41に供給する。Dummy SYT生成回路41は、バスリセット前のサイクルタイム: $CT=X$ のSYTに上記時間差を

【0062】

【数2】ダミーSYT = (バスリセット前のSYT) + 時間差(D)

として加え、選択回路42に供給する。具体的には、例えば、図22に示されているように、SYT抽出部36内のバッファに、サイクルタイム: $CT=X$ のSYT(x20, x21)が蓄積されている状態において、バスリセットが生じると、SYT抽出部36は次のサイクルタイムである $CT=Y$ のSYT(y0)を抽出する。この時、減算回路40は $y0 - x21$ = 時間差(D)を演算し、その時間差(D)をDummy SYT生成回路41に供給する。Dummy SYT生成回路41は、SYT抽出部36から送信されるサイクルタイム: $CT=X$ のSYT(x20, x21)に上記時間差(D)を加え、ダミーSYT(x20', x21')を生成し、当該ダミーSYTを選択回路42に供給する。このようにして、ダミーSYTが生成される。

【0063】なお、第4の実施の形態の第1の方法においては、選択回路42の切り換えをSYT抽出部36内のバッファ内のBuffer Sizeに基づいて行っているが、受信バッファ35のBuffer Sizeに基づいて行うことも可能である。このBuffer Sizeの求め方に関しては当該実施例に限定されることなく、バッファ内のデータ量が求めれば他の方法でも良い。また、後述する(第5の実施の形態で説明する)ように、SYT抽出部36において、バスリセット前とバスリセット後のSYTの判別を行い、当該判別結果に基づいて選択回路42を切り換えるように構成することも可能である。また、減算した時間差(D)をサイクルタイム33に送信し、ダミーのサイクルタイムを生成することも可能である。その際は、バスリセット後のサイクルタイムから時間差(D)を減算すればよい。

【0064】次に、第4の実施の形態の第2の方法は、ダミーの再生基準クロック信号 C_{REF} を生成する方法

である。図25は、第4の実施の形態の第2の方法を簡略的に示した図である。すなわち、バシリセット前は、サイクルタイム： $CT=X$ で送受信が行われていたため、SYT抽出部36内のバッファ内には $x20$ 、 $x21$ のSYTが蓄積されている。この後、バシリセットが生じ、バス上のサイクルタイムが $CT=Y$ になった際に、SYT抽出部36は新たなSYTの取り込みを行う。新たなSYTの取り込み後は、サイクルタイム： $CT=Y$ のSYTが $y0$ 、 $y1$ 、 $y2$ 、 $y3 \cdots$ とSYT抽出部36内のバッファに蓄積されていく。一方、ダミー再生基準クロック信号 C_{REF} を生成回路43は、バシリセットが生じた後、 $x20$ 、 $x21$ のSYTに相当するダミー再生基準クロック信号 C_{REF} を生成し、選択回路44に送出する。選択回路44は、バシリセット信号に応じて、一致検出回路34からの再生基準クロック信号 C_{REF} からダミー再生基準クロック信号 C_{REF} を生成回路43からのダミー再生基準クロック信号 C_{REF} への切り換えを行い、ダミー再生基準クロック信号 C_{REF} をPLL回路37に供給する。なお、バシリセット前のデータの処理が終了した後は、再び一致検出回路34からの再生基準クロック信号 C_{REF} をPLL回路37に出力されるようにする。また、後述するが、バシリセット前のSYTは、削除されることになる。このように、第4の実施の形態の第2の方法は、バシリセット後は、バシリセット前のデータに対してはダミーのリファレンスクロックを用いて処理し、バシリセット前のデータが全て処理された後は、バシリセット後のリファレンスクロックにより処理を行うものである。

【0065】図26は、上述した受信器の状態をフローチャート化したものである。また、図27は、図11の回路図から第4の実施の形態に係る部分を抜粋したものであり、図11と同一の機能を有する回路には同一の符号が付されており、その説明は省略する。なお、本実施の形態においてはダミー再生基準クロック信号 C_{REF} を生成回路43、選択回路44を新たに備えている。ここで、ダミー再生基準クロック信号 C_{REF} を生成回路43は、一致検出回路34より再生基準クロック信号 C_{REF} を受信し、当該再生基準クロック信号 C_{REF} から後述する方法によりダミー再生基準クロック信号 C_{REF} を生成し、当該ダミー再生基準クロック信号 C_{REF} を選択回路44に供給する。選択回路44は、一致検出回路34からの再生基準クロック信号 C_{REF} とダミー再生基準クロック信号 C_{REF} からのダミー再生基準クロック信号 C_{REF} を選択的にPLL回路37に供給する。以下、図26を基に図27を用いて第4の実施の形態の第2の方法に関して具体的な方法を説明する。

【0066】先ず、通常の動作が行われている状態（第1の実施の形態にて説明されている）において、新たな機器の接続又は解除などによりバシリセットが生じる（ステップS261）と、コントロール部39はバシリ

セット信号を受信する。その後、コントロール部39は、SYT抽出部36にバッファ内のBuffer Sizeを確認するように制御信号を送信する。当該制御信号を受信したSYT抽出部36は、バッファ内のBuffer Sizeを確認し、コントロール部39にBuffer Sizeを送信する（ステップS262）。この後、バッファ内の全てのSYTを削除する。なお、このBuffer Sizeは、第1の方法にて説明したBuffer Sizeと同一のものである。また、コントロール部39は、選択回路44に切換信号を送信する。切換信号を受信した選択回路44は、ダミー再生基準クロック信号 C_{REF} を生成回路43から供給されてくるダミー再生基準クロック信号 C_{REF} をPLL回路37に供給するように切り換えを行う。（ステップS263）。この時、一致検出回路34には、バシリセット後のSYTが供給されるので、当該一致検出回路34からの出力は暫くの間行われなくなる。よって、その期間は、ダミー再生基準クロック信号 C_{REF} を生成回路43からのダミー再生基準クロック信号 C_{REF} を選択回路に供給するのである。

【0067】また、コントロール部39は、選択回路44に供給されるダミー再生基準クロック信号 C_{REF} の立ち上がり数を計数し（ステップS264）、その計数値がBuffer Sizeと等しくなるか又はそれ以上になったら（ステップS265）、選択回路44に対して切換信号を送信する。切換信号を受信した選択回路44は、再び通常の再生基準クロック信号 C_{REF} をPLL回路37に供給するように切り換える（ステップS266）。一方、ステップS265において、ダミー再生基準クロック信号 C_{REF} の立ち上がり数を計数した値が、Buffer Sizeより大きくならない場合には、ダミー再生基準クロック信号 C_{REF} の計数を継続する（ステップS264）。ステップS266において、通常の再生処理が行われた後は、引き続きバシリセットが生じるか否かが監視される。また、ステップS261において、バシリセットが生じない場合も、引き続きバシリセットが生じるまで通常の動作を行う。このように、第4の実施の形態の第2の方法においては、バシリセット後に、ダミーの再生基準クロック信号 C_{REF} を生成し、バシリセット前のデータに対してはダミーの再生基準クロック信号 C_{REF} を用いて処理し、バシリセット前のデータが全て処理された後は、バシリセット後の再生基準クロック信号 C_{REF} により処理を行う構成としたので、バシリセット前後の時間情報が異なっても、正常な処理が行われることになる。

【0068】なお、ダミー再生基準クロック信号 C_{REF} の具体的な生成方法は、次のように行われる。図27において、ダミー再生基準クロック信号 C_{REF} を生成回路43は、一致検出回路34にて生成される再生基準クロック信号 C_{REF} のクロック周期（図28）の立ち上がり及びそのタイミングを図示せぬカウンタでカウント

し、当該クロック周期を図示せぬダミー再生基準クロック信号 C_{REF} を生成回路43内のバッファに記憶しておく。図28に示した例においては、クロック周期(T)がバッファに記憶される。なお、このカウンタはリファレンスクロックの立ち上がりでカウンタの値をバッファに記憶し、その後次の周期(T)をカウントするために、カウンタ値をクリアし、再びカウント動作を継続する構成となっている。上述した状態において、バスリセットが生じた際に、ダミー再生基準クロック信号 C_{REF} を生成回路43は、バッファに記憶されている周期、例えば、周期(T)によりダミー再生基準クロック信号 C_{REF} を生成し、当該ダミー再生基準クロック信号 C_{REF} を選択回路44に供給する。このようにして、ダミー再生基準クロック信号 C_{REF} が生成される。

【0069】なお、第4の実施の形態の第2の方法においては、選択回路44の切り換えをSYT抽出部36内のバッファ内のBuffer Sizeに基づいて行っているが、受信バッファ35のBuffer Sizeに基づいて行うことも可能である。このBuffer Sizeの求め方に関しては当該実施例に限定されることなく、バッファ内のデータが求まれば他の方法でも良い。また、後述する(第5の実施の形態で説明する)ように、SYT抽出部36において、バスリセット前とバスリセット後のSYTの判別を行い、当該判別結果に基づいて選択回路44を切り換えるように構成することも可能である。以上に示したように、第4の実施の形態の第1の方法及び第2の方法では、バスリセット前後においてデータの欠落を生じることなく、バスリセット前後のデータが正常に処理される。

【0070】(第5の実施の形態) 図29は、上記

(5)の方法を簡略的に示した図である。本図におけるSYT抽出部36内のバッファの状態も第1の実施の形態と同一であり、図29(a)はサイクルタイム $CT=X$ で動作している受信側のバスリセット直後のSYT抽出部36内のバッファの状態を表しており、図29

(b)は方法(5)を経た状態を表している。すなわち、バスリセット前はサイクルタイム: $CT=X$ で送受信が行われていたため、SYT抽出部36内のバッファには $x20, x21, x22$ のSYTが蓄積されている(図20(a))。その後、バスリセットが生じ、バス上のサイクルタイムが $CT=Y$ となった際においても、通常通りSYT抽出部36は新たなSYTの取り込みを行う。そして、新たなSYT取り込み後は、サイクルタイム: $CT=X$ のSYTの $x20, x21, x22$ と、サイクルタイム: $CT=Y$ のSYTが $y0, y1, y2, y3 \dots$ とがSYT抽出部36内のバッファに蓄積されている(図29(b))。ここで、バッファ内では各SYTの前後の差が演算され、その差によりバスリセット前のSYTかバスリセット後のSYTかが判別され、当該判別結果に基づいて、バスリセット前のデー

タに対してはサイクルタイム: $CT=X$ で復調処理が行われるように制御し、バスリセット後のデータに対してはサイクルタイム: $CT=Y$ で復調処理が行われるように制御する。

【0071】このように、第5の実施の形態においては、バスリセット前のデータに対してはサイクルタイム: $CT=X$ で復調処理が行われるように制御し、バスリセット後のデータに対してはサイクルタイム: $CT=Y$ で処理されるように構成される。

【0072】図30は、上述した受信器の状態をフローチャート化したものである。また、図31は、図11の回路図から第5の実施の形態に係る部分を抜粋したものであり、図11と同一の機能を有する回路には同一の符号が付されており、その説明は省略する。なお、本実施の形態においては減算回路45、判定回路46を新たに備えている。また、サイクルタイム33は一時的にデータを保持するためのレジスタを2つ備えている。ここで、減算回路45はSYT抽出部36からSYTを受信し、当該SYTの前後の時間差を後述する演算式により演算し、当該時間差を時間差(D)として判定回路46に供給する。判定回路46は、減算回路45から時間差(D)を受信し、当該時間差(D)に基づいて後述する方法により、バスリセット前のSYTかバスリセット後のSYTかの判定を行い、当該結果をコントロール部39に供給する。

【0073】以下、図30を基に図31を用いて第5の実施の形態の具体的な方法を説明する。まず、少なくとも2つのノードによりバス15上でデータの送受信が行われている状態において、上述したようにバスからのデータパケットがサイクルスタートパケット抽出部31にて抽出される。抽出されたサイクルスタートパケットCSはサイクルタイム33に送信され、サイクルタイム33はそのサイクルスタートパケットCSに示されたサイクルタイムを例えばレジスタ1にセットし、当該サイクルタイムに基づいて自機のサイクルタイムを生成し、一致検出回路34に供給する。一方、データパケット抽出部32は、バス15上のアイソクロナスパケットを抽出し、当該パケット内のデータを受信バッファ35に供給する。また、アイソクロナスパケット中のCIPに備えられたSYTは、SYT抽出部36で抽出される。SYT抽出部36は、アイソクロナスパケット中のCIP1に備えられたSYTを一致検出回路34及び減算回路45に供給する。減算回路45では、当該SYTの各々の時間差(D)を後述する演算式により演算し、その時間差(D)を判定回路46に供給する。判定回路46では、減算回路45から時間差(D)を受信し、当該時間差(D)に基づいて後述する方法により、バスリセット前のSYTかバスリセット後のSYTかの判定を行い、当該結果をコントロール部39に供給する。以後、上述したデータ受信処理にてデータの復調処理が行われる。

【0074】データの送受信を行っている最中に新たな機器の接続又は解除などによりバスリセットが生じる(ステップS301)と、コントロール部39はバスリセット信号を受信する。その後、コントロール部39は、サイクルタイム33に新たなサイクルタイムを別のレジスタに蓄積するように制御信号を送信する。サイクルタイム33は、当該制御信号を受信し、例えば第2のレジスタ2に新たなサイクルタイムを書き込む。このとき、サイクルタイム33は、レジスタ1に蓄積されているサイクルタイムにより自機のサイクルタイムを生成し、その値を一致検出回路34に供給し続ける。一致検出回路34は、当該サイクルタイムとSYT抽出部36より供給されるSYTにより再生基準クロック信号C_{REF}を生成する。一方、減算回路45は、SYT抽出部36よりSYTが供給され、当該SYTの各々の差を検出し、その差を判定回路46に送信する(ステップS302)。判定回路46は、減算回路45より供給されてくるSYTの差を蓄えておき、供給されてくるSYTとの差を前回のものと比較して当該差が後述する所定範囲内可否かを判定(ステップS303)し、所定範囲内であれば通常の処理が継続される。

【0075】一方、所定範囲外の場合には、コントロール部39に制御信号を送信する。コントロール部39は、当該制御信号を受信すると、サイクルタイム33に対して、サイクルタイムの書換指令の制御信号を送信する。当該制御信号を受信したサイクルタイム33は、レジスタ2に蓄積されていたサイクルタイムをレジスタ1に書き換え(ステップS304)、当該サイクルタイムに基づいて自機のサイクルタイムを生成し、一致検出回路34に供給する。ステップS304において、サイクルタイムの書き換えが行われた後は、引き続きバスリセットが生じるまで通常の動作を繰り返し行う。また、ステップS301において、バスリセットが生じない場合も、引き続きバスリセットが生じるまで通常の動作を繰り返し行う。

【0076】このように、第5の実施の形態においては、受信側において、バスリセット前と後のサイクルタイムを反映する複数のサイクルタイムレジスタを備え、バスリセット後は、バスリセット前のデータに対してはバスリセット前のサイクルタイムを用いて処理し、バスリセット後のデータが全て処理された後は、バスリセット後のサイクルタイムを用いて通常の処理を行うので、データ欠落のないデータの復調が行われることになる。

【0077】なお、減算回路45におけるSYTの時間差(D)の具体的な演算方法及び判定回路46の判定方法は、次のように行われる。図29において、(b)に示されている各SYTは、SYT抽出部36より減算回路45に供給される。減算回路45では、当該SYTを用いて、

【0078】

【数3】時間差(D) = 現在のSYT - 1つ前のSYTとして時間差(D)を演算し、当該時間差(D)を判定回路46に供給する。判定回路46では、当該時間差(D)によりバスリセット前のSYTとバスリセット後のSYTとの境界を検出し、当該検出結果をコントロール部39に送信する。すなわち、境界前後のSYTの時間差(D⁺)は、それ以外のSYTの時間差(D)とは値が異なるため、その時間差(D⁺)が求められたSYTがバスリセット前のSYTとバスリセット後のSYTとなる。より具体的には、図29(b)において、減算回路45では、時間差(D)を

【0079】

【数4】

$$\text{時間差}(D) = x21 - x20 \\ = a$$

とし、次に、

【0080】

【数5】

$$\text{時間差}(D) = x22 - x21 \\ = a$$

とし、次に、

【0081】

【数6】

$$\text{時間差}(D) = y0 - x22$$

として演算する。この時、~~サイクル~~タイム:CT=Xの時に付加されたSYTにて演算された(数4)乃至(数5)は、所定の時間差(a)である。これが、バスリセット直後においては、サイクルタイム:CT=Xの時に付加されたSYTとサイクルタイム:CT=Yの時に付加されたSYTにて演算するため、バスリセット前後の基準時間が異なっている場合には、所定の時間差(b)となる。よって、この時間差の値を比較することにより上述した境界部分が検出されることになる。なお、上記の例ではサイクルタイム:CT=Xの時に付加されたSYTにて演算された所定の時間差を(a)としたが、実際には、この時間差にも多少のジッタ成分αが有るため、他の時間差と比較する場合には、 $a \pm \alpha$ と比較するのが良い。このようにして、バスリセット前のSYTとバスリセット後のSYTが判別される。なお、第5の実施の形態においては、サイクルタイム33のレジスタの切り換えを判定回路46の判定結果に基づいて行ったが、前述したようにSYT抽出部36及び/又は受信バッファ内のBuffer Sizeに基づいて行うことも可能である。

【0082】以上示したように、本発明は、送信側が送出したデジタルデータを、受信側では直ちに適切なタイミングで再生出力できる状態にすることができるのである。また、本発明はM Protocolに決められている伝送方式の1つであるNon-Blocking転送方式(11150

サイクル単位でパケット化を行う) の場合について説明したが、Blocking転送方式(所定数のサンプル単位でパケット化を行う)についても適用可能である。また、サンプリング周波数も32 [kHz] 以外の場合においても適用可能である。なお、本発明においては、伝送パス上の基準時間に変化する時をバスリセットが生じる際としたが、バスリセットが生じない場合でも、例えばサイクルマスタノードが基準時間の変更を行った際には、本発明の各方法を適用することが可能である。また、上記各実施の形態においては、本発明による受信インターフェース回路12、13によって所定のデータの再生を実施する旨を述べたが、この再生対象となるデータは映像データや音声データであっても構わない。又、上記実施例においては、かかる受信インターフェース回路12、13をIEEE1394-1995規格による伝送システムに採用した場合の動作について説明したが、適用可能な伝送システムとしては、IEEE1394-1995規格に限定されるものではない。

【0083】要するに、音声データ及び映像データの如き時系列データを複数のデータ群に分割し、これらデータ群中の各データを受信側において再生すべき時間を指定する再生指定時間データを上記データ群に付加してなるデータパケットを時分割伝送するような伝送システムの受信インターフェース装置であれば良い。

【0084】

【発明の効果】以上説明したように、本発明によれば、送信側が送出したデジタルデータを、受信側では直ちに適切なタイミングで再生出力できる状態にすることができるのである。

【図面の簡単な説明】

【図1】高速シリアルデータ転送インターフェースによって接続された複数の電気機器を示す図である。

【図2】ノードA～Fが接続されたトポロジにおいてルートノードの決定手順を説明するための図である。

【図3】ノードIDの各ノードへの通知手順を説明するための図である。

【図4】サイクル内のパケット構造を示す図である。

【図5】サイクルスタートパケットCSの転送を示す図である。

【図6】アイソクロナスパケットの構造を示す図である。

【図7】CIPヘッダの構造を示す図である。

【図8】アシンクロナスパケットの構造を示す図である。

【図9】送受信器を含む電気機器間の接続状態を示す図である。

【図10】送受信器の構成を示すブロック図である。

【図11】受信器の構成を示すブロック図である。

【図12】データパケット転送を説明するための図である。

【図13】本発明の問題点を説明するための図である。

【図14】本発明の第1の実施の形態の簡略図である。

【図15】本発明の第1の実施の形態のフローチャートを示す図である。

【図16】本発明の第1の実施の形態のブロック図である。

【図17】本発明の第2の実施の形態を示す簡略図である。

【図18】本発明の第2の実施の形態のフローチャートを示す図である。

【図19】本発明の第2の実施の形態のブロック図である。

【図20】本発明の第3の実施の形態を示す簡略図である。

【図21】本発明の第3の実施の形態のフローチャートを示す図である。

【図22】本発明の第4の実施の形態の第1の方法を示す簡略図である。

【図23】本発明の第4の実施の形態の第1の方法のフローチャートを示す図である。

【図24】本発明の第4の実施の形態の第1の方法を示すブロック図である。

【図25】本発明の第4の実施の形態の第2の方法を示す簡略図である。

【図26】本発明の第4の実施の形態の第2の方法のフローチャートを示す図である。

【図27】本発明の第4の実施の形態の第2の方法を示すブロック図である。

【図28】本発明の第4の実施の形態の第2の方法の再生基準クロック信号C_{REF}のクロック周期を示した図である。

【図29】本発明の第5の実施の形態を示す簡略図である。

【図30】本発明の第5の実施の形態のフローチャートを示す図である。

【図31】本発明の第5の実施の形態のブロック図である。

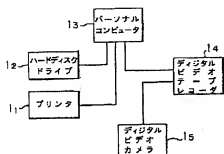
【主要部分の符号の説明】

9、10・・・電気機器
11、14・・・送信器
12、13・・・受信器
15・・・IEEE1394-1995バス
21・・・送信バッファ
22・・・MUX
23、33・・・サイクルタイマ
24・・・ラッチ回路
31・・・サイクルスタートパケット抽出部
32・・・データパケット抽出部
34・・・一致検出回路
35・・・受信バッファ

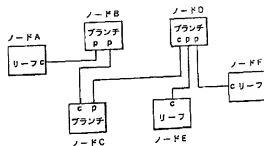
36・・・SYT抽出部
 37・・・PLL回路
 38・・・D/A変換器
 39・・・コントロール部
 40, 45・・・減算回路

41・・・Dummy SYT生成回路
 42, 44・・・選択回路
 43・・・Dummy C REF 生成回路
 46・・・判定回路

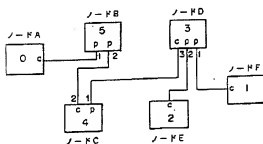
【図1】



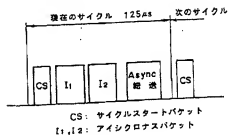
【図2】



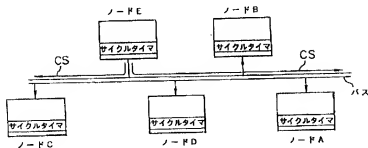
【図3】



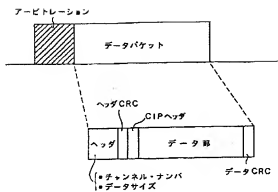
【図4】



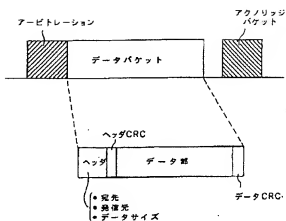
【図5】



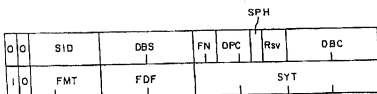
【図6】



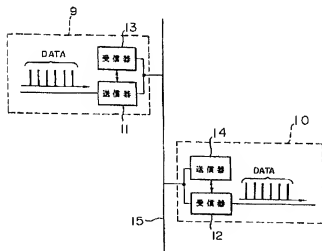
【图8】



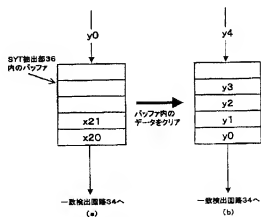
【图 7】



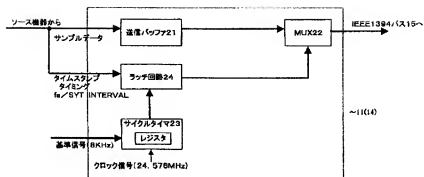
【图9】



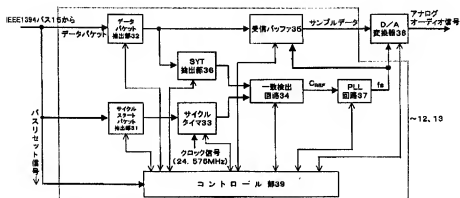
【例 14】



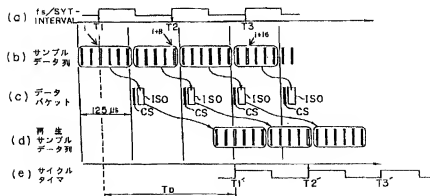
【図10】



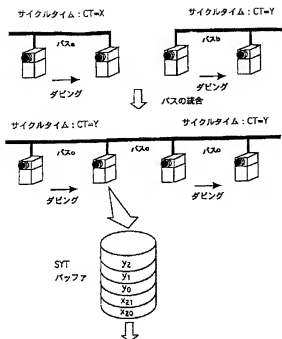
【図11】



【図12】



【図13】

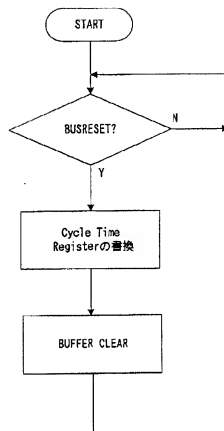


S151~

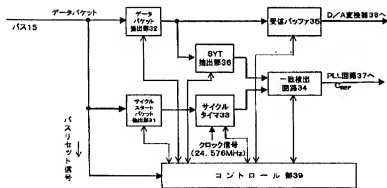
S152~

S153~

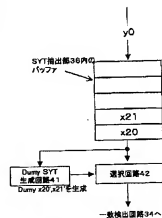
【図15】



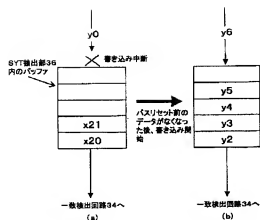
【図16】



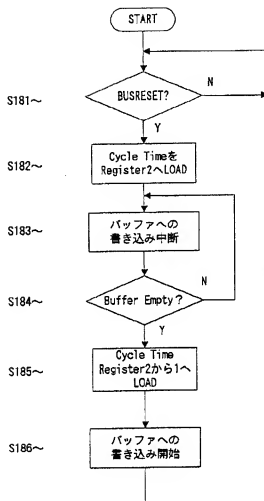
【図22】



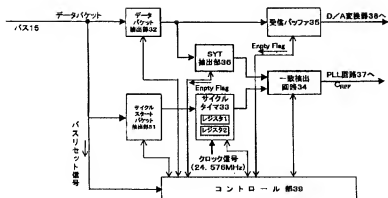
【図17】



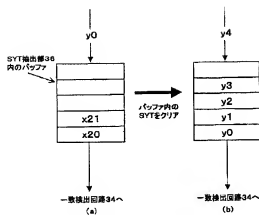
【図18】



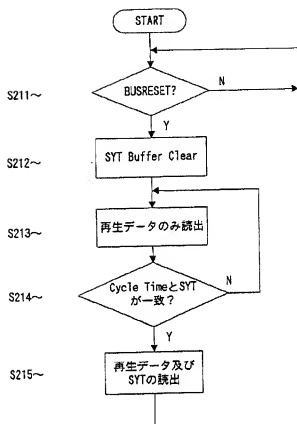
【図19】



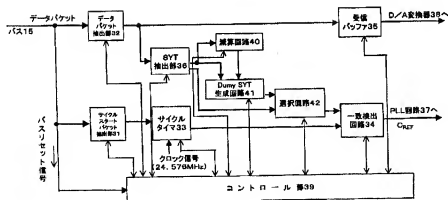
【図20】



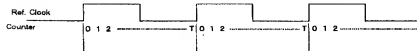
【図21】



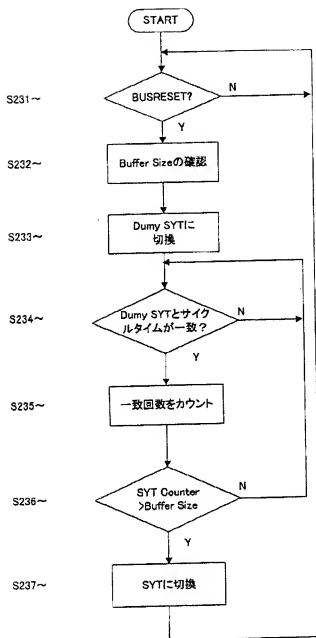
【図24】



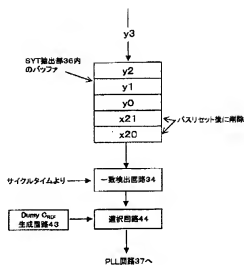
【図28】



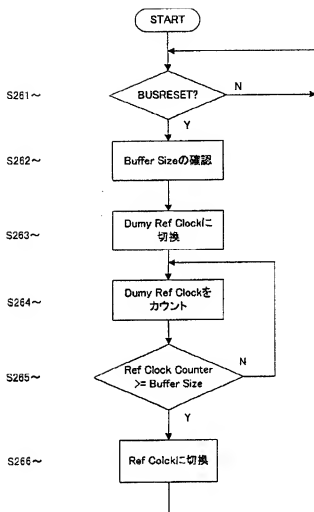
【図23】



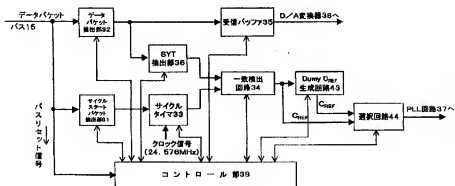
【図25】



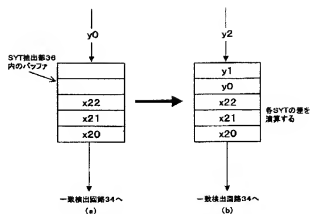
【図26】



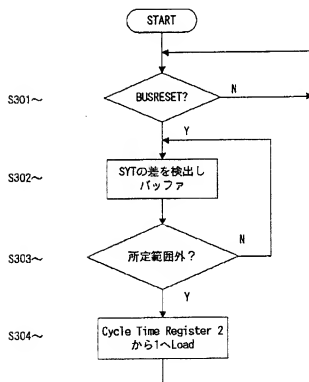
【図27】



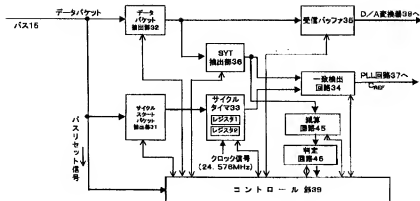
【図29】



【図30】



【図 31】



フロントページの続き

(72)発明者 村越 象

埼玉県鶴ヶ島市富士見6丁目1番1号 パイオニア株式会社総合研究所内

(72)発明者 松丸 誠

埼玉県鶴ヶ島市富士見6丁目1番1号 パイオニア株式会社総合研究所内

(72)発明者 長谷部 誠一

埼玉県所沢市花園4丁目2610番地 パイオニア株式会社所沢工場内